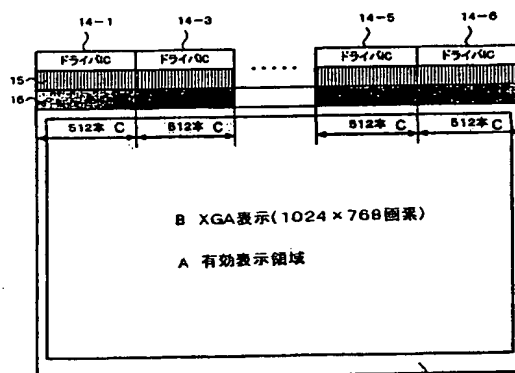


(51) 国際特許分類6 G02F 1/133, 1/1345, G09G 3/36	A1	(11) 国際公開番号 WO99/49355 (43) 国際公開日 1999年9月30日(30.09.99)
(21) 国際出願番号 PCT/JP99/01441 (22) 国際出願日 1999年3月23日(23.03.99) (30) 優先権データ 特願平10/76813 1998年3月25日(25.03.98) JP 特願平10/241392 1998年8月27日(27.08.98) JP (71) 出願人 (米国を除くすべての指定国について) ソニー株式会社(SONY CORPORATION)[JP/JP] 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 猪野益充(INO, Masumitsu)[JP/JP] 坪田浩嘉(TSUBOTA, Hiroyoshi)[JP/JP] 市川弘明(ICHIKAWA, Hiroaki)[JP/JP] 寺口晋一(TERAGUCHI, Shinichi)[JP/JP] 岡 豪人(OKA, Taketo)[JP/JP] 芥河 徹(AKUTAGAWA, Toru)[JP/JP] 前川敏一(MAEKAWA, Toshikazu)[JP/JP] 仲島義晴(NAKAJIMA, Yoshiharu)[JP/JP]		後藤尚志(GOTO, Naoshi)[JP/JP] 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo, (JP) (74) 代理人 弁理士 杉浦正知(SUGIURA, Masatomo) 〒170-0013 東京都豊島区東池袋1丁目48番10号 25山京ビル420号 Tokyo, (JP) (81) 指定国 KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書 補正書・説明書

(54)Title: LIQUID CRYSTAL DISPLAY DEVICE

(54)発明の名称 液晶表示装置



14-1 ... DRIVER IC
14-3 ... DRIVER IC
14-5 ... DRIVER IC
14-6 ... DRIVER IC

10 ... LCD PANEL
A ... EFFECTIVE AREA
B ... XGA DISPLAY (1024 x 768 PIXELS)
C ... 512 LINES

10 液晶表示パネル

(57) Abstract

A liquid crystal display device comprises a liquid crystal display panel including a plurality of picture elements that are two-dimensionally arranged on intersections in a matrix of gate lines in columns and signal lines in rows; and a plurality of driver ICs for applying signal potential to the picture elements in the liquid crystal display panel through signal lines corresponding to the columns. Each of the drivers IC has pins, the number of which is a submultiple of the total number of the signal lines corresponding to the columns, so that no signal lines remain unused.

マトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が2次元配置されてなる液晶表示パネルと、この液晶表示パネルの各画素に複数列分の信号ラインを介して信号電位を与える複数のドライバICとを備えた液晶表示装置において、複数のドライバICのそれぞれの出力ピン数を、複数列分の信号ラインの総本数の約数に設定して信号ラインに端数が生じないようにする。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロベニア
AZ	アゼルバイジャン	GA	ガボン	LS	リトアニア	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LJ	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサウ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	TM	トルクメニスタン
CA	カナダ	HR	クロアチア	ML	マリ	TR	トルコ
CC	中央アフリカ	HU	ハンガリー	MN	モンゴル	TT	トリニダード・トバゴ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボワール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	NE	ニジェール	VN	ヴェトナム
CN	中国	IS	アイスランド	NL	オランダ	YU	ユーゴスラビア
CR	コスタ・リカ	IT	イタリア	NO	ノルウェー	ZA	南アフリカ共和国
CY	キプロス	JP	日本	NZ	ニュージーランド	ZW	ジンバブエ
CZ	チェコ	KE	ケニア	PL	ポーランド		
DE	ドイツ	KG	キルギスタン	PT	ポルトガル		
DK	デンマーク	KP	北朝鮮	RO	ルーマニア		
		KR	韓国				

明細書

液晶表示装置

技術分野

本発明は、液晶表示装置（LCD；Liquid Crystal Display）に関する、特に各画素に信号電位を与えるドライバ回路を、液晶表示パネルの外部回路として設けてなるマトリクス型液晶表示装置に関する。

背景技術

パーソナルコンピュータやワードプロセッサなどに用いられている液晶表示装置は、マトリクス型が主力となっている。このマトリクス型液晶表示装置は、応答速度や画像品質の面で優れており、近年のカラー化に最適な表示装置となってきた。この種の表示装置において、液晶表示パネルの各画素には、トランジスタあるいはダイオードなどの非線形な素子が用いられている。具体的には、ガラス基板上に薄膜トランジスタ（TFT；thin film transistor）を形成した構造となっている。

ところで、特に大型の液晶表示装置においては、各画素に所定の電圧を印加するドライバICを、液晶表示パネルの外部に設けた構成を採っている。そして、外部のドライバICの出力と液晶表示パネルの信号ラインとは、通常、1対1の対応関係となっている。すなわち、ドライバICの各出力端子からの出力電圧はそのまま対応する信号ラインに与えられるようになっている。

したがって、例えばR（赤）、G（緑）、B（青）の各色ごとに1024本、即ち3072（＝1024×3）本の信号ラインを持つXGA（extended graphics array）表示方式の液晶表示装置において、各信号ラインに対して例えば120本の出力ピン（出力端子）を持つ既存の汎用ドライバICを接続しようとする、合計で26個のドラ

イバ I C を必要とすることになる。

しかしながら、上述したように、表示方式によって総本数が決まる信号ラインに対して汎用ドライバ I C を使用すると、ドライバ I C のピン数が余ることが発生する。例えば、3072本の信号ラインに対して、120本の出力ピンを持つ汎用ドライバ I C を26個用いた場合、最後に配置されるドライバ I C の出力ピンが48 ($= 120 \times 26 - 3072$) 個だけ余ることになる。

そして、液晶表示パネルのサイズの観点から考えると、第1図に示すように、ドライバ I C 101の出力ピンにおける余分なピン部分が、画像表示に寄与しない余分な接続領域となり、液晶表示パネル102の左右の額縁部分を占めることになるため、液晶表示パネル102の水平方向のサイズが増すことになり、その結果、液晶表示装置全体のコンパクト化の妨げとなる。なお、第1図において、ドライバ I C 101は、フレキシブルケーブル103を介して液晶表示パネル102上の接続部分104にて信号ラインの各々に接続される。

また、階調を伴うカラー表示を行う場合には、各画素の薄膜トランジスタに印加する電圧を出力する出力バッファ回路や階調制御回路の構成が複雑になり、ドライバ I C 自体も高価なものとなる。このような高価なドライバ I C を、その余った出力ピンに対応する回路部分が表示に全く寄与しない状態で用いることは無駄であり、また液晶表示装置のコストアップにもつながる。

発明の開示

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、外部ドライバ I C を用いる場合において、液晶表示パネルの水平方向の狭幅化を可能とした液晶表示装置を提供することにある。

本発明による液晶表示装置は、マトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が2次元配置されてなる表示部と、この表示部の各画素に複数列分の信号ラインを介して信号電位を与える複数のドライバ回路とを備え、この複数のドライバ回路をそれぞれの出力端子数を同じ数に設定して複数列分の信号ラインの各々に対応関係をもって順に配置する際に、複数列分の信号ラインに端数が出るとき、複数のドライバ回路のうちの1つの出力端子数を上記端数に設定する。

上記構成の液晶表示装置において、複数のドライバ回路のうちの1つの出力端子数を、信号ラインの端数に設定することで、最終的に複数のドライバ回路に対して信号ラインには端数が生じない。したがって、ドライバ回路の出力端子を余らせることなく信号ラインの各々と接続することができるため、表示部には画像表示に寄与しない余分な接続領域が生じない。

本発明による他の液晶表示装置は、マトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が2次元配置されてなる表示部と、この表示部の各画素に複数列分の信号ラインを介して信号電位を与える複数のドライバ回路とを備え、この複数のドライバ回路のそれぞれの出力端子数を、複数列分の信号ラインの総本数の約数に設定する。

上記構成の他の液晶表示装置において、ドライバ回路の出力端子数を設定する際に、各々の出力端子数を信号ラインの総本数の約数に設定し、この出力端子数で決まる個数のドライバ回路を配置する。これにより、複数のドライバ回路に対して信号ラインには端数が生じない。したがって、ドライバ回路の出力端子を余らせることなく信号ラインの各々と接続することができるため、表示部には画像表示に寄与し

ない余分な接続領域が生じない。

図面の簡単な説明

第 1 図は、従来のマトリクス型液晶表示装置の一例を示す概略構成図、第 2 図は、本発明に係るマトリクス型液晶表示装置における液晶表示部の配線図、第 3 図は、画素の回路構成図、第 4 図は、ドライバ I C の内部構成の一例を示すブロック図、第 5 図は、本発明の第 1 実施形態を示す概略構成図、第 6 図は、本発明の第 2 実施形態を示す概略構成図、第 7 図は、時分割駆動を用いたマトリクス型液晶表示装置における液晶表示部の配線図、第 8 図は、3 時分割駆動の場合の時分割スイッチの接続構成図、第 9 図は、3 時分割駆動の場合の各信号のタイミングチャート、第 10 図は、ある 1 組の時分割スイッチの具体的な構成を示す回路図、第 11 図 A は、ボトムゲート構造の薄膜トランジスタの一例を示す断面構造図、第 11 図 B は、トップゲート構造の薄膜トランジスタの一例を示す断面構造図、第 12 図は、3 時分割駆動の場合の信号電圧の各画素への書込み状態を示す図、第 13 図 A および第 13 図 B は、4 時分割の場合と 3 時分割の場合とを比較するための図、第 14 図は、S X G A 表示方式の液晶表示装置の一例の構成図、第 15 図は、S X G A 表示方式の動作説明のためのタイミングチャート、第 16 図 A、第 16 図 B および第 16 図 C は、ブランキング期間を設けた場合（実線）と設けない場合（点線）の違いを説明するための波形図、第 17 図は、液晶画素の回路構成を示す回路図、第 18 図は、ドライバ I C の立ち上がり波形と立ち下がり波形が時間軸に対して非対称の場合の波形図、第 19 図は、C s ラインの電位のゆれを説明するための図、第 20 図は、ドライバ I C の立ち上がり波形と立ち下がり波形が時間軸に対して対称の場合の波形図、第 21 図は、17 インチ S X G A 表示方式の場合の τ_{rise} , τ_{fall} の

時間差とCsラインのゆれのシミュレーション結果を示す図、第22図は、SXGA表示方式の場合の期間の数値の一例を示す図、第23図は、UXGA表示方式の液晶表示装置の一例の構成図、第24図は、UXGA表示方式の場合の期間の数値の一例を示す図、第25図は、VGA表示方式の液晶表示装置の一例の構成図、第26図は、QVGGA表示方式の液晶表示装置の一例の構成図、第27図は、VGA、QVGGAの各表示方式の場合の期間の数値の一例を示す図、第28図は、ドライバICの内部構成の他の例を示すブロック図、第29図は、ドライバIC内の出力回路の構成の一例を示すブロック図、第30図は、メモリ回路周辺の構成の従来例を示すブロック図、第31図は、メモリ回路周辺の構成の改良例を示すブロック図、第32図Aおよび第32図Bは、TN液晶を使用した場合の液晶のV-Tカーブの特性図、第33図A、第33図Bおよび第33図Cは、時分割スイッチの周辺の構成の一例を示す等価回路図、第34図は、第33図A、第33図Bおよび第33図Cの等価回路の動作を説明するためのタイミングチャート、第35図A、第35図Bおよび第35図Cは、時分割スイッチの周辺の構成の他の例を示す等価回路図、第36図は、第35図A、第35図Bおよび第35図Cの等価回路の動作を説明するためのタイミングチャート、第37図Aは、1H反転駆動法の場合の画素配列と時分割スイッチの走査方向の関係を示す図、第37図Bは、ドット反転駆動法の場合の画素配列と時分割スイッチの走査方向の関係を示す図である。

発明を実施するための最良の形態

以下、この発明を実施するための最良の形態を図面を参照しながら説明する。

第2図は、本発明に係るマトリクス型液晶表示装置における液晶表

示部の配線図である。このマトリクス型液晶表示装置は、複数行分のゲートライン 1 1-1, 1 1-2, 1 1-3, ……と複数列分の信号ライン 1 2-1, 1 2-2, 1 2-3, ……が、液晶の表面にマトリクス状に配線され、その液晶の裏面側にバックライトが配置された構造となっている。そして、ゲートライン 1 1-1, 1 1-2, 1 1-3, ……と信号ライン 1 2-1, 1 2-2, 1 2-3, ……の交差点が画素となり、液晶表示パネル（表示部） 1 0 を形成している。この画素の構成については後述する。

複数行分のゲートライン 1 1-1, 1 1-2, 1 1-3, ……の各一端は、垂直駆動回路 1 3 の対応する行の各出力端にそれぞれ接続されている。垂直駆動回路 1 3 は、上記液晶表示パネルと同一の基板上に薄膜トランジスタによって形成されており、ゲートライン 1 1-1, 1 1-2, 1 1-3, ……に順に走査パルスを与えて各画素を行単位で選択することによって垂直走査を行う。なお、本例では、垂直駆動回路 1 3 を液晶表示パネル 1 0 の片側にのみ配する構成としたが、液晶表示パネル 1 0 の両側に配する構成であっても良いことは勿論である。

また、信号ライン 1 2-1, 1 2-2, 1 2-3, ……に画像データに応じた所定の電圧を印加する複数のドライバ IC 1 4-1, 1 4-2, 1 4-3, ……が、上記液晶表示パネル 1 0 の外部回路として設けられている。複数のドライバ IC 1 4-1, 1 4-2, 1 4-3, ……には、例えば 8 階調以上で 5 1 2 色以上の表示を可能にするデジタル画像データが入力される。

第 3 図は、画素の回路構成図である。第 3 図から明らかなように、各画素 2 0 は、薄膜トランジスタ 2 1、付加容量 2 2 および液晶容量 2 3 から構成されている。薄膜トランジスタ 2 1 は、そのゲート電極がゲートライン 1 1-1, 1 1-2, 1 1-3, ……に、そのソース電極が

信号ライン 1 2-1, 1 2-2, 1 2-3, ……にそれぞれ接続されている。
。

この画素構造において、液晶容量 2 3 は、薄膜トランジスタ 2 1 で形成される画素電極と、これに対応して形成される対向電極との間で発生する容量を意味する。そして、この画素電極に保持される電位は、“H”もしくは“L”の電位で書き込まれる。ここで、“H”は高電圧書き込み状態を示し、“L”は低電圧書き込み状態を示す。

液晶の駆動に際しては、対向電極の電位（コモン電位 V C O M）を例えば 6 V の D C 電位に設定し、これに対して信号電圧を高電圧 H、低電圧 L で 1 フィールド周期にて周期的に変動させることにより、交流駆動が実現できる。この交流駆動は、液晶分子の分極作用を減少することができ、液晶分子の帯電もしくは電極表面に存在する絶縁膜の帯電を防ぐことが可能となる。

一方、画素 2 0 では、薄膜トランジスタ 2 1 がオン状態となると、液晶での光の透過率が変化するとともに、付加容量 2 2 が充電される。この充電により、薄膜トランジスタ 2 1 がオフ状態となっても、付加容量 2 2 の充電電圧による液晶での光透過率状態が、次に薄膜トランジスタ 2 1 がオン状態となるまでの間保持される。このような方式により、液晶表示パネル 1 0 の画像における画質向上が図られる。

第 4 図は、ドライバ I C 1 4-1, 1 4-2, 1 4-3, ……の内部構成の一例を示すブロック図である。第 4 図から明らかなように、これらドライバ I C は、水平シフトレジスタ回路 3 1、サンプリングスイッチ群 3 2、レベルシフタ 3 3、データラッチ回路 3 4 およびデジタルアナログ変換回路 3 5 を有し、本例では、例えば 5 ビットのデジタル画像データ d a t a 1 ~ d a t a 5 や電源電圧 V d d, V s s を水平シフトレジスタ回路 3 1 のシフト方向における両側から取り込む構成

となっている。

上記構成のドライバ IC 14-1, 14-2, 14-3, ……において、
水平シフトレジスタ回路 31 は、水平走査パルスを順次出力すること
によって水平走査（列走査）を行う。サンプリングスイッチ群 32 に
5 おけるサンプリングスイッチの各々は、水平シフトレジスタ回路 31
からの水平走査パルスに応答して、入力されるデジタル画像データ d
a t a 1 ~ d a t a 5 を順次サンプリングする。

レベルシフタ 33 は、サンプリングスイッチ群 32 でサンプリング
された例えば 5 V のデジタルデータを液晶駆動電圧のデジタルデータ
10 に昇圧する。データラッチ回路 34 は、レベルシフタ 33 で昇圧され
たデジタルデータを 1 水平期間分蓄積するメモリである。デジタルア
ナログ変換回路 35 は、データラッチ回路 34 から出力される 1 水平
期間分のデジタルデータをアナログ信号に変換して出力する。

上述した構成の液晶表示装置において、本発明の特徴とするところ
15 は、液晶表示パネル 10 の信号ライン 12-1, 12-2, 12-3, ……
の各々と、複数のドライバ IC 14-1, 14-2, 14-3, ……の各出
力ピン（出力端子）との接続部分の構成にある。以下に、その具体的
な実施形態について説明する。

先ず、本発明を例えば XGA 表示方式の液晶表示装置に適用した第
20 1 実施形態につき、第 5 図を用いて説明する。

液晶表示パネル 10 は、XGA 表示の場合、R, G, B の各色ごと
に 1024 本、即ち 3072 ($= 1024 \times 3$) 本の信号ライン 12
-1, 12-2, 12-3, ……を持っている。一方、ドライバ IC 14-1
, 14-2, 14-3, ……として、例えば 120 本の出力ピンを持つ汎
25 用ドライバ IC を用い、信号ライン 12-1, 12-2, 12-3, ……の
各々に対応して順に配置するものとする。

このとき、120本の出力ピンを持つ汎用ドライバICを25個配置したとすると、信号ラインには72 ($= 3072 - 120 \times 25$)本の端数が出る。そこで、この端数の72本の信号ラインを担うドライバICとして、120本の出力ピンを持つ汎用のドライバICではなく、72本の出力ピンを持つドライバICを用い、当該ドライバICを含む計26個のドライバIC 14-1, 14-2, 14-3, …… , 14-26 を水平方向に順に配置するようにする。

この72本の出力ピンを持つドライバICは、例えば第5図に示すように、ドライバICを順に配置する際に、例えば26番目に配置されるドライバIC 14-26 として用いられる。すなわち、他の25個のドライバIC 14-1, 14-2, 14-3, …… , 14-25 に割り当てられる信号ラインの本数は120本であるのに対し、26番目のドライバIC 14-26 に割り当てられる信号ラインの本数は72本となる。

このように配置された26個のドライバIC 14-1, 14-2, 14-3, …… , 14-26 は、各々の出力ピンがフレキシブルケーブル15を介して液晶表示パネル10上の接続部分16にて信号ライン12-1, 12-2, 12-3, ……の各々に接続され、これら信号ライン12-1, 12-2, 12-3, ……を介して各画素に所定の電圧を印加するようになる。

上述したように、ドライバIC 14-1, 14-2, 14-3, ……として出力ピン数が同数の例えば汎用ドライバICを用いる場合において、これらのドライバICを信号ライン12-1, 12-2, 12-3, ……の各々と対応関係を持って順に配置する際に、信号ラインに端数が出る
とき、ドライバIC 14-1, 14-2, 14-3, ……のうちの1つの出力ピン数をその端数に設定することで、最終的に信号ラインには端

数が生じず、ドライバ I C の出力ピンを余らせることなく信号ラインの各々と接続することができる。その結果、液晶表示パネル 1 0 には、画像表示に寄与しない余分な接続領域が生じない。

5 なお、本実施形態においては、信号ラインの端数分を担うドライバ I C が配置される位置を最後（本例では、26 番目）としたが、これに限られるものではなく、どの位置に配置することも可能である。また、本例で示した数値は一例に過ぎず、これらの数値に限定されるものではない。

10 次に、本発明を例えば X G A 表示方式の液晶表示装置に適用した第 2 実施形態につき、第 6 図を用いて説明する。

15 液晶表示パネル 1 0 は、X G A 表示の場合、先述したように、R, G, B の各色ごとに 1 0 2 4 本、即ち 3 0 7 2 本の信号ライン 1 2-1, 1 2-2, 1 2-3, ……を持っている。この 3 0 7 2 本の信号ライン 1 2-1, 1 2-2, 1 2-3, ……に対して、複数のドライバ I C 1 4-1, 1 4-2, 1 4-3, ……を配置するのであるが、このとき、ドライバ I C 1 4-1, 1 4-2, 1 4-3, ……の出力ピン数を、信号ライン 1 2-1, 1 2-2, 1 2-3, ……の総本数（即ち、水平表示ドット数）の約数に設定する。

20 X G A 表示では、信号ライン 1 2-1, 1 2-2, 1 2-3, ……の総本数が 3 0 7 2 本であることから、一例として、ドライバ I C 1 4-1, 1 4-2, 1 4-3, ……の出力ピン数を 3 0 7 2 の約数でかつ好ましくは 2 のべき乗（累乗）である 5 1 2 ($= 2^9$) 本に設定する。これにより、6 ($= 3 0 7 2 / 5 1 2$) 個のドライバ I C が必要となり、この 6 個のドライバ I C 1 4-1, 1 4-2, 1 4-3, ……、1 4-6 を信号
25 ライン 1 2-1, 1 2-2, 1 2-3, ……の各々と対応関係をもって順に配置すれば良いことになる。

このように配置された6個のドライバIC 14-1, 14-2, 14-3, …… , 14-6は、各々の出力ピンがフレキシブルケーブル15を介して液晶表示パネル10上の接続部分16にて信号ライン12-1, 12-2, 12-3, ……の各々に接続され、これら信号ライン12-1, 12-2, 12-3, ……を介して各画素に所定の電圧を印加するようになる。

上述したように、ドライバIC 14-1, 14-2, 14-3, ……の出力ピン数を設定する際に、各々の出力ピン数を信号ライン12-1, 12-2, 12-3, ……の総本数の約数に設定し、この出力ピン数で決まる個数のドライバICを配置することで、信号ラインには端数が生じず、ドライバICの出力ピンを余らせることなく信号ラインの各々と接続することができる。その結果、液晶表示パネル10には、画像表示に寄与しない余分な接続領域が生じない。

なお、本例で示した数値は一例に過ぎず、これらの数値に限定されるものではない。ここで、ドライバICの個数が少なければ少ないほど低コスト化に有利であり、逆に多ければ回路の一部に不良箇所が発生した場合にその不良箇所を含むICのみを交換することで対応できるという利点がある。したがって、ドライバICの出力ピン数を設定するに際しては、その出力ピン数で決まるドライバICの個数などを考慮して決めるようにすれば良い。

また、本実施形態では、XGA (1024画素×768画素) 表示に適用した場合について説明したが、他の表示方式、例えばNTSC (640画素×480画素) 表示、VGA (800画素×600画素) 表示、SXGA (1280画素×1024画素) 表示、UXGA (1600画素×1400画素) 表示にも適用できることは言うまでもない。

さらに、上記各実施形態においては、外部ドライバ I C 1 4-1, 1 4-2, 1 4-3, ……の各出力ピンと信号ライン 1 2-1, 1 2-2, 1 2-3, ……とが 1 対 1 の対応関係にある液晶表示装置に適用した場合を例に採って説明したが、1 対 1 の対応関係にない液晶表示装置にも適用可能である。すなわち、いわゆる時分割駆動法を用いた液晶表示装置では、外部ドライバ I C の出力ピンと信号ラインとは 1 対 1 の対応関係になく、この種の液晶表示装置にも適用可能である。

ここで、時分割駆動法とは、複数本の信号ラインを 1 単位（ブロック）とし、この 1 分割ブロック内の複数本の信号ラインに与える信号を時系列でドライバ I C から出力する一方、液晶表示パネルには複数本の信号ラインを 1 単位として時分割スイッチを設け、これら時分割スイッチにてドライバ I C から出力される時系列の信号を時分割して複数本の信号ラインに順次与える駆動方法である。この時分割駆動法を用いることで、ドライバ I C の出力ピン数を削減できる。

第 7 図は、時分割駆動法を用いたマトリクス型液晶表示装置における液晶表示部の配線図である。このマトリクス型液晶表示装置は、複数行分のゲートライン 4 1-1, 4 1-2, 4 1-3, ……と複数列分の信号ライン 4 2-1, 4 2-2, 4 2-3, ……が、液晶の表面にマトリクス状に配線され、その液晶の裏面側にバックライトが配置された構造となっている。そして、ゲートライン 4 1-1, 4 1-2, 4 1-3, ……と信号ライン 4 2-1, 4 2-2, 4 2-3, ……の交差点が画素となり、液晶表示パネル 4 0 を形成している。この画素は、例えば第 3 図に示す構成となっている。

複数行分のゲートライン 4 1-1, 4 1-2, 4 1-3, ……の各一端は、垂直駆動回路 4 3 の対応する行の各出力端にそれぞれ接続されている。垂直駆動回路 4 3 は、上記液晶表示パネルと同一の基板上に薄膜

トランジスタによって形成されており、ゲートライン 4 1-1, 4 1-2, 4 1-3, ……に順に走査パルスを与えて各画素を行単位で選択することによって垂直走査を行う。

また、信号ライン 4 2-1, 4 2-2, 4 2-3, ……に画像データに応じた所定の電圧を印加する複数のドライバ I C (第 7 図には、その 1 段目のドライバ I C 4 4 のみを示す) が、上記液晶表示パネル 4 0 の外部回路として設けられている。このドライバ I C 4 4 には、例えば 8 階調以上で 5 1 2 色以上の表示を可能にするデジタル画像データが入力される。ドライバ I C 4 4 は、例えば第 4 図に示す構成となっている。

そして、ドライバ I C 4 4 としては、ドット反転駆動用 I C が用いられる。このドライバ I C 4 4 は、ドット反転駆動を実現するために、各出力端子の奇数、偶数ごとに電位が反転する信号電圧を出力する。ここに、ドット反転駆動とは、隣接するドット (画素) に印加する電圧の極性を反転させる駆動法であり、画質向上に良好な駆動法とされている。

すなわち、ドット反転駆動により、隣接の画素に印加する電圧を逆極性にするることにより、信号ラインとゲートラインのクロス容量に起因する信号ラインからの飛び込み電位がキャンセルされることから、画素電位が安定して入力されるようになり、液晶表示時のフリッカーが軽減されるため、画質を向上できるのである。

ドライバ I C 4 4 はさらに、時分割駆動を実現するために、複数の信号ラインを 1 単位とし、これら複数の信号ラインに与える信号を時系列で出力する構成となっている。これに対応して、ドライバ I C 4 4 の出力ライン 4 5-1, 4 5-2, 4 5-3, ……と信号ライン 4 2-1, 4 2-2, 4 2-3, ……の間には、CMOS、PMOS あるいは NMO

S構成のアナログスイッチ（以下、時分割スイッチと称す）46が設けられている。

第8図に、R、G、Bに対応した3時分割駆動の場合における時分割スイッチ46の接続構成の一例を示す。この3時分割駆動の場合には、ドライバIC44の各出力端子からは、R、G、Bの3画素分の信号電圧が順に時系列で出力ライン45-1、45-2、45-3、……を介して出力される。

具体的には、第9図のタイミングチャートに示すように、ドライバIC44の信号出力として、ODD端子1から出力ライン45-1にはR1、G1、B1の各画素の信号が、EVEN端子1から出力ライン45-2にはR2、G2、B2の各画素の信号が、ODD端子2から出力ライン45-3にはR3、G3、B3の各画素の信号が、……という具合に出力される。

これに対して、出力ライン45-1と3本の信号ライン42-1、42-2、42-3の間に時分割スイッチ46-1、46-2、46-3が、出力ライン45-2と3本の信号ライン42-4、42-5、42-6の間に時分割スイッチ46-4、46-5、46-6が、出力ライン45-3と3本の信号ライン42-7、42-8、42-9の間に時分割スイッチ46-7、46-8、46-9が、……という具合に、3時分割に対応して1本の出力ラインに対して時分割スイッチが3個ずつ設けられている。

ここで、ある1組の時分割スイッチ46-1、46-2、46-3の具体的な構成について、第10図の回路図を用いて説明する。

時分割スイッチ46-1、46-2、46-3は、pチャネルMOSトランジスタおよびnチャネルMOSトランジスタが並列接続されてなるCMOSアナログスイッチ（トランスミッションスイッチ）からなり、液晶表示パネル40と同一基板上に薄膜トランジスタによって形成

されている。そして、3個の時分割スイッチ46-1, 46-2, 46-3の各入力端は共通に接続され、その共通接続点は出力ライン45-1に接続されている。

これにより、ドライバIC44から時系列で出力される信号電位が
5、出力ライン45-1を経由して3個の時分割スイッチ46-1, 46-2, 46-3の各入力端に与えられる。これら時分割スイッチ46-1, 46-2, 46-3の各出力端は、3本の信号ライン42-1, 42-2, 42-3の各一端に接続されている。

また、液晶表示パネル40と同一基板上において、1個の時分割ス
10 イッチにつき2本、計6本の制御ライン47-1~47-6が、ゲートライン41-1, 41-2, 41-3, ……の配線方向に沿って配線されている。そして、時分割スイッチ46-1の2つの制御入力端（即ち、nチャネルMOSトランジスタ、pチャネルMOSトランジスタの各ゲート）が制御ライン47-1, 47-2に、時分割スイッチ46-2の2つの
15 制御入力端が制御ライン47-3, 47-4に、時分割スイッチ46-3の2つの制御入力端が制御ライン47-5, 47-6にそれぞれ接続されている。

なお、ここでは、6本の制御ライン47-1~47-6に対する時分割
スイッチ46-1, 46-2, 46-3の接続関係について説明したが、他
20 の時分割スイッチ46-4, 46-5, 46-6, ……についても全く同じ接続関係となっている。

6本の制御ライン47-1~47-6には、各組の3個の時分割スイッチを選択するための制御信号S1~S3, XS1~XS3が外部から与えられる。ただし、制御信号XS1~XS3は、制御信号S1~S
25 3の反転信号である。この制御信号S1~S3, XS1~XS3は、ドライバIC44から出力される時系列の信号電位に同期して、各組

の 3 個の時分割スイッチを順次オンさせるための信号である。

これら各組の時分割スイッチ 4 6-1, 4 6-2, 4 6-3, 4 6-4, 4 6-5, 4 6-6, 4 6-7, 4 6-8, 4 6-9、……は、垂直駆動回路 4 3 を構成するトランジスタなどと共に、例えば第 1 1 図 A に示すボトム
5 ゲート構造あるいは第 1 1 図 B に示すトップゲート構造の薄膜トランジスタによって液晶表示パネル 4 0 内に形成される。

第 1 1 図 A に示すボトムゲート構造の薄膜トランジスタでは、ガラス基板 5 1 の上にゲート電極 5 2 が形成され、その上にゲート絶縁膜 5 3 を介してポリシリコン (P o l y - S i) 層 5 4 が形成され、さ
10 らにその上に層間絶縁膜 5 5 が形成されている。また、ゲート電極 5 2 の側方のゲート絶縁膜 5 3 上には、 n^+ 型拡散層からなるソース領域 5 6 およびドレイン領域 5 7 が形成されている。ソース領域 5 6 およびドレイン領域 5 7 は、それぞれ n^- 型の低不純物濃度部 5 6 a および 5 7 a を有する。符号 5 8 は層間絶縁膜を示す。 n^+ 型のソース
15 領域 5 6 およびドレイン領域 5 7 には、層間絶縁膜 5 8 に形成された開口部 5 8 a および 5 8 b を通じてソース電極 5 9 およびドレイン電極 6 0 がそれぞれ接続されている。符号 6 1 は有機膜を示す。

第 1 1 図 B に示すトップゲート構造の薄膜トランジスタでは、ガラス基板 7 1 の上にポリシリコン層 7 2 が形成され、その上にゲート絶
20 縁膜 7 3 を介してゲート電極 7 4 が形成され、さらにその上に層間絶縁膜 7 5 が形成されている。また、ポリシリコン層 7 2 の側方のガラス基板 7 1 上には、 n^+ 型拡散層からなるソース領域 7 6 およびドレイン領域 7 7 が形成されている。ソース領域 7 6 およびドレイン領域 7 7 は、それぞれ n^- 型の低不純物濃度部 7 6 a および 7 7 a を有す
25 る。 n^+ 型のソース領域 7 6 およびドレイン領域 7 7 には、層間絶縁膜 7 5 に形成された接続孔 7 5 a および 7 5 b を通じてソース電極 7

8 およびドレイン電極 7 9 がそれぞれ接続されている。符号 8 0 は有機膜を示す。

これらの時分割スイッチ 4 6-1, 4 6-2, 4 6-3, 4 6-4, 4 6-5, 4 6-6, 4 6-7, 4 6-8, 4 6-9、……は、外部から与えられるゲート選択信号 S 1, S 2, S 3 (第 9 図のタイミングチャートを参照) に応答して順次オン状態となることにより、ドライバ IC 4 4 から出力ライン 4 5-1, 4 5-2, 4 5-3, ……に出力される時系列の信号を、1 水平走査期間に 3 時分割して対応する信号ラインに供給する。

上述した 3 時分割駆動の場合には、時分割数が奇数であることから、第 1 2 図から明らかなように、1 ラインの隣接画素間で極性が反転するドット反転駆動が行われる。なお、第 1 2 図は、第 8 図に示す 3 時分割駆動の場合の信号電圧の各画素への書き込み状態を示している。第 1 2 図において、横方向は走査順、縦方向は時分割スイッチの動作順をそれぞれ示し、また H は高電圧、L は低電圧の書き込み状態をそれぞれ示している。

また、第 7 図において、ドライバ IC 4 4 から信号ライン 4 2-1, 4 2-2, 4 2-3, ……に信号電位を入力する場合、時分割スイッチ 4 6 がオフとなった信号ラインはハイインピーダンス状態となり、外来の飛び込み電位等の影響を受けやすくなり、信号ラインの電位が変動しやすい。このため、例えば第 1 3 図 A に示すような 4 時分割などの場合は、1 つの画素が R, G, B 一組ではないので、各色ごとの信号ラインの電位変動が一定せず、縦方向の色むらの原因となる。

これに対し、第 1 3 図 B に示すように、R, G, B の 3 本の信号ラインを 3 時分割すれば、外来の飛び込み電位等に起因する各色ごとの信号ラインの電位変動がほぼ均一となるため、多少の電位変動は強調されないようにすることができる。言い換えれば、R ならば R、G な

らばG、BならばBで変動するため、ドライバIC44に供給する色信号データにオフセットを持たせることで、所定の信号電位にすることが可能である。また、許容範囲内のソース電位の変動ならば、色度信号としてのずれは発生しなくなる。

- 5 以上の説明から明らかなように、液晶表示装置に時分割駆動を適用することにより、ドライバIC44の出力ピン数を削減できることになる。具体的には、3時分割駆動の場合には、時分割駆動を用いない場合に比べてドライバIC44の出力ピン数を1/3に削減できるため、ドライバICのピン配列方向のサイズの縮小化が図れることになる。
- 10

- このとき、先述した第2実施形態のように、ドライバIC44の出力ピン数を信号ラインの総本数の約数に設定する場合を考えたとき、第2実施形態の数値に対応させると、信号ラインの総本数3072に対する約数は1536(=512×3)となる。このピン数の設定により、ドライバICと信号ラインとの接続部分において、画像表示に
- 15 寄与しない余分な接続領域が生じないようにすることができる。

- その結果、今後、SXGA(super XGA)やUXGA(ultra XGA)などのように、表示画素が増加する傾向にある表示方式に対して、ドット反転駆動によって良質な画質を安定して供給しつつ、液晶表示
- 20 モジュールとしてコンパクト化が図れるとともに、安価な液晶表示パネルでカラー表示の多色化を実現することが可能となる。

- なお、上記実施形態においては、XGA表示方式を例に採って説明したが、水平方向の画素数が同じSHXGA(super half XGA)およびHXGA(half XGA)の各表示方式にも同様に適用可能である
- 25

SHXGA表示方式の規格は、1024画素×480画素の画像表

示規格であり、アスペクト比を32:15とする。これは横スクロールすることなく、XGA規格信号を表示でき、またVGA(video graphics array)規格をフル表示できることを特徴としている。一方、HXGA表示方式の規格は、1024画素×384画素の画像表示規格であり、アスペクト比を8:3とする。これはXGA規格の携帯用端末規格と考えられている。

これらの表示規格から明らかなように、XGA、SHXGA、HXGAの各表示方式は、水平方向の画素数がいずれも1024画素であることから、信号ラインの総本数はいずれも3072本であり、信号
10 ラインを駆動するドライバIC44については共通に考えることができる。

ところで、液晶表示装置の分野では近年、装置のコンパクト化、特に液晶表示パネルの狭幅化が積極的に押し進められている。液晶表示パネルの狭幅化を実現するには、液晶表示パネルの額縁部分のサイズ
15 (以下、額縁サイズと略称する)をできるだけ小さくすれば良い。現行の製造技術のもとでは、一例として、4mm以下の額縁サイズが狙いとなる。

一方、液晶表示パネルの外部回路であるドライバIC44の実装方式として例えばTAB(Tape Automated Bonding)方式を用いた場合、
20 TABのパッドサイズが現行2mm程度であることから、額縁サイズ4mm以下を満足するためには、TABと時分割スイッチ46-1, 46-2, 46-3, 46-4, 46-5, 46-6, 46-7, 46-8, 46-9, ……との間の配線および接続に要する領域のサイズを2mm以下に抑えることが必要となる。

25 以上のことを踏まえて、ドライバICの出力ピン数を信号ラインの総本数の約数に設定するようにした第2実施形態のもとに、R, G,

B 3 時分割駆動の場合を例に採って、ドライバ I C の個数の設定についての具体例を各表示方式ごとに以下に説明する。

先ず、S X G A 表示方式の液晶表示装置の場合について説明する。

S X G A 表示方式の規格は、1 2 8 0 画素 × 1 0 2 4 画素であり、1
5 画素が R, G, B の 3 ドットからなることから、信号ラインの総本数
(= 水平方向のドット数) は 3 8 4 0 (= 1 2 8 0 × 3) 本となる。

一方、現行のパターニング技術では、配線幅が 4 μ m 程度、配線間
隔が 3. 5 μ m 程度であることから、1 本の配線につき 7. 5 μ m 程
度のスペースが必要となる。先述したように、液晶表示パネルの額縁
10 サイズとして 4 m m 以下を狙った場合、配線および接続に許容される
スペースは 2 m m 以下であることから、額縁部分に配線可能な最大配
線本数として、2 6 6 (≒ 2 m m / 7. 5 μ m) 本程度という数値が
導き出される。

ただし、ドライバ I C の出力ピンのピッチに対して信号ラインの配
15 線ピッチの方が広いことから、ドライバ I C の出力ピンと時分割スイ
ッチとの間を電氣的に接続するフレキシブルケーブルは、液晶表示パ
ネルの額縁部分で左右に半分ずつ分けられることになることから、ド
ライバ I C の出力ピン数としては最大、最大配線可能本数 (2 6 6 本
) の 2 倍、即ち 5 3 2 本程度となる。

20 以上のことから明らかなように、S X G A 表示方式の場合は、5 3
2 本以下でかつ信号ライン数 (3 8 4 0 ライン) の約数であることが
条件となることから、ドライバ I C の出力ピン数として例えば 3 2 0
本が設定される。そして、3 時分割駆動の場合は、ドライバ I C の総
出力ピン数としては、信号ライン数 (3 8 4 0 ライン) の 3 分の 1 で
25 良いことから、本例では、ドライバ I C の個数として、4 (= 1 2 8
0 / 3 2 0) 個が設定される。

すなわち、SXGA表示方式の液晶表示装置において、3時分割駆動を採った場合には、第14図に示すように、各々320本の出力ピンを持つ4個のドライバIC44-1~44-4が、液晶表示パネル40とは別体の外部基板（図示せず）上に一定の間隔をもって配置され、

5 フレキシブルケーブル15を介して液晶表示パネル40の額縁の接続部分16にて時分割スイッチ（図示せず）と接続されることになる。

このように、SXGA表示方式の液晶表示装置において、3時分割駆動を採ることにより、ドライバICの出力ピン数として例えば320本を設定した場合、ドライバICの個数が4個で済むため、3時分

10 割駆動を採らず、例えば384ピンの汎用ドライバICを用いると、10（ $= 3840 / 384$ ）個のドライバICを必要としていた場合に比べて、スタンバイ電力は5分の2以下となる。

また、ドライバICのコスト低減にもつながる。しかも、今後、集積回路技術の進歩に伴い、これ以上のドライバICのピン数が期待さ

15 れ、それに伴って3個以下のドライバICの個数の設定も可能となるため、消費電力と製品コストのより低減を期待できることになる。

ところで、SXGA表示方式の水平走査時間は、規格上、21.537 μ s、15.63 μ s、12.504 μ sおよび10.971 μ sと決められている。この規格のもとで、第10図および第14図の

20 構成を実現するためには、例えば一番短い水平走査時間である10.971 μ sに合わせる必要がある。

ここで、3時分割を行う訳であるから、10.971 μ sの3分割以下の時間で選択する必要がある。つまり、サンプリング時間が3.657 μ s以下であることが必要となる。同様に、水平走査時間が2

25 1.537 μ sならば7.179 μ s、15.63 μ sならば5.21 μ s、12.504 μ sならば4.168 μ s以下のサンプリング

時間となる。

また、第 15 図のタイミングチャートにおいて、ドライバ IC 44 から信号ラインに対して出力される出力波形の立ち上がり、立ち下がり時間（スルーレート）については、上記サンプリング時間内に終了する必要があるため、選択期間よりも小さくする必要がある。なお、ドライバ IC 44 の立ち上がり、立ち下がりの定義は、電位が 0 % ⇔ 99.75 % まで変位する時間である。一例として、信号ラインの信号振幅が 9 V である場合、0.00225 V の誤差となる。

また、R の時分割スイッチが選択された後、2 つ目の時分割スイッチが選択されるまでの期間にブランキング期間を設ける必要がある。これは、電位が確定した非選択信号ラインの信号電位が変動するためである。時分割スイッチに接続された選択信号ラインは大型化していくと、どうしても寄生容量や配線抵抗が存在するようになり、これに起因して選択ライン時間に遅延が発生する。すると、隣接する時分割スイッチが同時にオン／オフすることになるため、非選択の信号ラインの信号電位は確定できなくなる。

これを示したのが、第 16 図 A、第 16 図 B および第 16 図 C の波形図である。第 16 図 A は入力端子での時分割スイッチで選択する期間を、第 16 図 B は液晶基板内での時分割スイッチで選択する期間を、第 16 図 C は時分割スイッチ後の信号出力をそれぞれ示している。また、実線がブランキング期間を設けた場合を、点線がブランキング期間を設けない場合をそれぞれ表している。

第 16 図 C から明らかなように、ブランキング期間を設けない場合（点線）は、電位が確定した非選択信号ラインの信号電位が一点鎖線で示す如く変動することから、SXGA 表示方式の液晶表示装置を作製する際には、第 15 図のタイミングチャートに示すように、（水平

方向の走査時間－選択時間×3) / 3の時間以下のブランキング期間
(a), (b), (c)を設定することが必要である。また、ブラン
キング期間(c)では、第15図のタイミングに示すように、各段の
ゲートラインを選択するゲート選択パルスが切り替わらなければなら
5 ない。

このゲート選択パルスについても遅延時間が発生し、このため隣接
するゲートラインが同時にオン／オフすることになり、画素電位の変
動を引き起こすことになる。これを防止するために、ゲート選択パル
スの切り替え期間にもブランキング期間が必要となる。したがって、
10 ブランキング期間(c)として、(水平方向の走査時間－選択時間×
3) / 3で不十分であれば、それ以上の時間を必要とすることになる。
。現有する選択スイッチの駆動回路では、短いブランキング期間は4
0 nsは必要であり、これが最小値となる。

また、第17図に示す液晶画素の回路構成において、ゲートライン
15 41-1, 41-2, 41-3, ……と信号ライン(ソースライン)42-1
, 42-2, 42-3, 42-4, ……との間に寄生する容量C_{gs}や、画
素の対向電極にコモン電圧V_{COM}を供給するC_sライン48-1, 4
8-2, 48-3, ……と信号ライン42-1, 42-2, 42-3, 42-4,
……との間に寄生する容量C_{cs}に起因する信号ライン42-1, 42
20 -2, 42-3, 42-4, ……からの飛び込み電位により、第18図の波
形図に示すように、ゲートライン41-1, 41-2, 41-3, ……のゆ
れやC_sライン48-1, 48-2, 48-3, ……の周期的な変動が誘起
される。その結果、横方向のクロストークが発生する。

特にこのC_sライン48-1, 48-2, 48-3, ……のゆれの変動電
25 位が、第19図に示すΔs₁、Δs₂、Δs₃となる。ここに、Δs₁
1、Δs₂、Δs₃は、クロストーク発生領域と非発生領域との電位

差である。この電位差 Δs_1 、 Δs_2 、 Δs_3 は、70 mV 以下であれば、画像として判断されないことがわかっている。つまり、現状、これを満たせば、横方向のクロストークとしては判断されない訳である。

- 5 このゲートラインー信号ライン間容量 C_{gs} 、 C_s ラインー信号ライン間容量 C_{cs} に起因するゲートライン 41-1, 41-2, 41-3, ……のゆれや C_s ライン 48-1, 48-2, 48-3, ……の周期的な変動を防ぐために、大型液晶表示装置では、先述したように、隣接する画素間の極性を対向電極を基準に反転させるドット反転駆動方式を採用している。このドット反転駆動方式の場合には、立ち上がり時間、
10 立ち下がり時間が、信号ライン 42-1, 42-2, 42-3, ……が 1 対 1 でドライバ IC 44 の出力ピンに接続されている従来の液晶表示装置に比べて無視できない時間となる。

- 時分割数が 3 の場合には、 C_s ライン 48-1, 48-2, 48-3, ……
15 ……を安定させる時間は従来の 3 分の 1 となり、条件は厳しくなる。この対策として、特に、 C_s ライン 48-1, 48-2, 48-3, ……のゆれに起因する横方向のクロストークをなくす必要がある。そのためには、第 20 図の波形図に示すように、ドライバ IC 44 の立ち上がり波形と立ち下がり波形を時間軸に対して対称にする、即ち立ち上がり
20 時間と立ち下がり時間を等しくする必要がある。

- このように、ドット反転駆動においては、ドライバ IC 44 の立ち上がり波形と立ち下がり波形を時間軸に対して対称にすることにより、逆極性の信号によって変動電位分をキャンセルできることになるため、ゲートライン 41-1, 41-2, 41-3, ……および C_s ライン 4
25 8-1, 48-2, 48-3, ……の変動がほとんどなくなる。この変動分が小さければ小さいだけ、 C_s ライン 48-1, 48-2, 48-3, ……

の電位が安定する時間は短くなる。

第21図に、一例として、17インチSXGA表示方式の場合のシミュレーション結果を示す。このシミュレーション結果から考えると、 $3\tau_{rise}$ （立ち上がり）、 $3\tau_{fall}$ （立ち下がり）の時間差は、500ns以下であることが望ましいことがわかる。これにより、下記の条件を満たすことが必要となる。

$$|3\tau_{rise} - 3\tau_{fall}| \leq 500\text{ns}$$

もしくは、

$$|2\tau_{rise} - 2\tau_{fall}| \leq 500\text{ns}$$

- 10 ここに、 τ は0.5 μ sで一定であり、 3τ は0%から90%推移を、 2τ は0%から86%推移をそれぞれ表している。

ここで、立ち上がり波形と立ち下がり波形が対称性をあらわすものとして、0% \Leftrightarrow 63%の変位時間、0% \Leftrightarrow 86%の変位時間、0% \Leftrightarrow 95%の変位時間、0% \Leftrightarrow 98%の変位時間、0% \Leftrightarrow 99.3%の変位時間、0% \Leftrightarrow 99.8%の変位時間が同じであることが条件となる。
15 。第22図に、SXGA表示方式の液晶表示装置を作製する場合における期間の数値の一例を示す。

次に、UXGA表示方式の液晶表示装置の場合について説明する。

- UXGA表示方式の規格は、1600画素 \times 1200画素であり、1
20 画素がR、G、Bの3ドットからなることから、信号ラインの総本数は4800（=1600 \times 3）本となる。

ここで、先述したSXGA表示方式の場合と同様の条件のもとに、ドライバICの出力ピン数として例えば320本を設定したとすると、3時分割駆動の場合は、ドライバICの総出力ピン数としては、信号
25 号ライン数（4800ライン）の3分の1で良いことから、本例では、ドライバICの個数として、5（=1600 \div 320）個が設定さ

れる。

すなわち、UXGA表示方式の液晶表示装置において、3時分割駆動を採った場合には、第23図に示すように、各々320本の出力ピンを持つ5個のドライバIC44-1~44-5が、液晶表示パネル40とは別体の外部基板（図示せず）上に一定の間隔をもって配置され、フレキシブルケーブル15を介して液晶表示パネル40の額縁の接続部分16にて時分割スイッチ（図示せず）と接続されることになる。

このように、UXGA表示方式の液晶表示装置において、3時分割駆動を採ることにより、ドライバICの出力ピン数として例えば320本を設定した場合、ドライバICの個数が5個で済むため、3時分割駆動を採らず、例えば384ピンの汎用ドライバICを用いると、 $13 (= 4800 / 384 = 12 \text{ 余り } 92)$ 個のドライバIC（内、1個は92ピンのみ使用）を必要としていた場合に比べて、スタンバイ電力は13分の5以下となる。

また、ドライバICのコスト低減にもつながる。しかも、今後、集積回路技術の進歩に伴い、これ以上のドライバICのピン数が期待され、それに伴って4個以下のドライバICの個数の設定も可能となるため、消費電力と製品コストのより低減が期待できることになる。

ところで、UXGA表示方式の水平走査時間は、規格上、 $16 \mu s$ 、 $13.333 \mu s$ 、 $12.308 \mu s$ 、 $11.429 \mu s$ 、 $10.667 \mu s$ 、 $10 \mu s$ および $9.412 \mu s$ と決められている。この規格のもとで、第10図および第23図の構成を実現するためには、例えば一番短い水平走査時間である $9.412 \mu s$ に合わせる必要がある。ここで、3時分割を行う訳であるから、 $9.412 \mu s$ の3分割以下の時間で選択する必要がある。つまり、サンプリング時間が $3.137 \mu s$ 以下であることが必要となる。

同様に、水平走査時間が $16 \mu s$ ならば $5.333 \mu s$ 、 $13.333 \mu s$ ならば $4.444 \mu s$ 、 $12.308 \mu s$ ならば $4.103 \mu s$ 、 $11.429 \mu s$ ならば $3.810 \mu s$ 、 $10 \mu s$ ならば $3.333 \mu s$ 以下のサンプリング時間となる。

- 5 なお、ドライバ IC 44 の出力波形の立ち上がり、立ち下がり時間（スルーレート）、ブランキング期間の設定およびドライバ IC 44 の出力の立ち上がり波形と立ち下がり波形との対称性については、先述した SXGA 表示方式の場合と同様のことが言える。第 24 図に、UXGA 表示方式の液晶表示装置を作製する場合における期間の数値
- 10 の一例を示す。

以上、SXGA、UXGA の各表示方式の液晶表示装置の場合について述べてたが、続いて、VGA、HVGA (half VGA)、QVGA (quarter VGA) の各表示方式の液晶表示装置の場合について述べる。

- 15 先ず、VGA 表示方式の液晶表示装置の場合について説明する。VGA 表示方式の規格は、 640 画素 \times 480 画素であり、1 画素が R, G, B の 3 ドットからなることから、信号ラインの総本数は $1920 (= 640 \times 3)$ 本となる。

ここで、先述した SXGA、UXGA の各表示方式の場合と同様の

20 条件のもとに、ドライバ IC の出力ピン数として例えば 320 本を設定したとすると、3 時分割駆動の場合は、ドライバ IC の総出力ピン数としては、信号ライン数 (4800 ライン) の $\frac{1}{3}$ で良いことから、本例では、ドライバ IC の個数として、 $2 (= 640 / 320)$ 個が設定される。

- 25 すなわち、VGA 表示方式の液晶表示装置において、3 時分割駆動を採った場合には、第 25 図に示すように、各々 320 本の出力ピン

を持つ2個のドライバIC 44-1, 44-2が、液晶表示パネル40とは別体の外部基板（図示せず）上に一定の間隔をもって配置され、フレキシブルケーブル15を介して液晶表示パネル40の額縁の接続部分16にて時分割スイッチ（図示せず）と接続されることになる。

- 5 このように、VGA表示方式の液晶表示装置において、3時分割駆動を採ることにより、ドライバICの出力ピン数として例えば320本を設定した場合、ドライバICの個数が2個で済むため、3時分割駆動を採らず、例えば384ピンの汎用ドライバICを用いると、6
10 (= $1920 / 384 = 5$ 余り10) 個のドライバIC（内、1個は10ピンのみ使用）を必要としていた場合に比べて、スタンバイ電力は3分の1以下となる。

- また、ドライバICのコスト低減にもつながる。しかも、今後、集積回路技術の進歩に伴い、これ以上のドライバICのピン数が期待され、それに伴ってドライバICの1個の設定も可能となるため、消費
15 電力と製品コストのより低減が期待できることになる。

- なお、HVGA表示方式の規格は、640画素×240画素であり、水平方向の画素数についてはVGA表示方式と同じであることから、信号ラインの総本数についても同じ1920本である。したがって、ドライバICの出力ピン数として例えば320本を設定した場合、
20 設定されるドライバICの個数も同じ2個となる。

- 一方、QVGA表示方式の規格は、320画素×240画素であることから、信号ラインの総本数は960本となる。ここで、ドライバICの出力ピン数として例えば320本を設定したとすると、3時分割駆動の場合は、ドライバICの総出力ピン数としては、信号ライン
25 数（960ライン）の3分の1で良いことから、QVGA表示方式では、第26図に示すように、ドライバICの個数として、1（= 32

0 / 3 2 0) 個が設定される。

ところで、例えば、標準的なVGA規格IBM VGA (mode
- 4) 表示方式では、その水平走査時間は31.778 μ sである。
ここで、3時分割を行う訳であるから、31.778 μ sの3分割以
5 下の時間で選択する必要がある。つまり、サンプリング時間が10.
59 μ s以下であることが必要となる。QVGA表示方式では、例え
ば水平走査時間を63 μ sとすると、3時分割でサンプリング時間が
10.59 μ s以下であることが必要となる。

なお、ドライバIC44の出力波形の立ち上がり、立ち下がり時間
10 (スルーレート)、ブランキング期間の設定およびドライバIC44
の出力の立ち上がり波形と立ち下がり波形との対称性については、先
述したSXGA表示方式の場合と同様のことが言える。第27図に、
VGA, QVGAの各表示方式の液晶表示装置を作製する場合におけ
る期間の数値の一例を示す。

15 上述したように、例えば3時分割駆動において、液晶表示パネル4
0の額縁サイズが規定されるとき、その規定された額縁サイズのもと
に、その額縁部分の配線領域に配線可能な配線数によってドライバI
C44の出力ピン数nを決定するとともに、表示方式によって決まる
信号ラインの総本数をNとするとき、ドライバIC44の個数をN/
20 n個に設定するようにしたことにより、時分割駆動を採らない場合に
比べてドライバICの個数を大幅に削減でき、スタンバイ電力を大幅
に軽減できるため、液晶表示装置全体の低消費電力化が可能となる。

ところで、表示方式に限らず、第15図のタイミングチャートにお
けるブランキング期間(a), (b), (c)では、時分割スイッチ
25 (アナログスイッチ)がオフ状態にあり、信号ラインの電位が確定状
態にある。このため、外部ICであるドライバICからの出力に影響

されない。したがって、このブランキング期間（a）、（b）、（c）にドライバICの出力回路を駆動させることは、消費電力の無駄である。

第4図には、ドライバICの内部構成の一例を示したが、実際には、第28図に示すように、D/Aコンバータ35の後段に出力回路36が配されているのが一般的である。そこで、ここでは、ブランキング期間（a）、（b）、（c）に出力回路36を停止させ、消費電力の低減を図ることとする。この出力回路36は、第29図に示すように、例えば、オペアンプと出力バッファからなるボルテージフォロワの回路構成となっている。

このボルテージフォロワ回路構成の出力回路36において、例えば、ブランキング期間（a）、（b）、（c）にボルテージフォロワの電源をオフにすると、オペアンプ部に電流が流れなくなり、出力は高インピーダンス状態となる。このように、ブランキング期間（a）、（b）、（c）に出力回路36を停止させることで、消費電力を低減できることになる。

次に、信号ラインを駆動するドライバICへのデータの書き込みについて説明する。通常、液晶表示パネル40には、第30図に示すように、例えば3個のドライバIC44-1、44-2、44-3を経由して各々1ライン分相当の記憶容量を持つ2個のメモリ回路（1）81、（2）82が接続されている。

そして、最初は、メモリ回路81に1ライン分のデータを記憶し、しかる後スイッチ83を切り替えて次の1ラインの期間中にメモリ回路82にデータを記憶しながら、スイッチ83に連動するスイッチ85でRのみを選択してメモリ回路81からRデータをスイッチ84-1を介して1ライン分読み出してドライバIC44-1、44-2、44-3

に書き込み、次にGのみを選択して同様にGデータを1ライン分書き込み、最後にBのみを選択して同様にBデータを1ライン分書き込む。

次の1ライン期間にはメモリ回路81とメモリ回路82とを入れ替えて同様の手順を繰り返すことによって画像を構成していく。一般的に、一番端のドライバICに1ドットずつ水平ドット数分のデータを転送していくと数珠状にデータが送られて1ライン分のデータが複数のドライバICにセットされ、その時点で液晶表示パネル40に一斉に1ライン分のデータを書き込むことで各色1ラインずつ画像を形成していく。この作業を垂直画素数×3回分繰り返すことで1枚の画像が構成される。

ところが、昨今の液晶表示装置の高画素化に伴って水平方向の画素数も増え、また同時に、映像データの転送レートも早くなり、液晶表示パネルへの書き込み時間も短くなってきている。一例として、SXGA表示方式の液晶表示装置を考えた場合、映像データが200MHz前後のデータ転送レートであり、この速度でデータが書き込めるドライバICは現時点では存在しない。

そこで、本実施形態においては、複数のドライバICに同時に別々のデータを書き込む手法を採ることで、既存のドライバICでも使用できるようにする。これを実現するための具体的な構成の一例を第31図に示す。本例では、話を分かり易くするため、水平30画素(R, G, B合計90ドット)、ドライバIC内のシフトレジスタ31(第28図参照)の段数を各々10段と仮定して説明する。

第31図に示すように、各々1ライン分相当の記憶容量を持つメモリ回路(1)81とメモリ回路(2)82が設けられ、これらを切り替えるスイッチ83を経由して映像データがメモリ回路81又はメモ

リ回路 8 2 に供給される。メモリ回路 8 1, 8 2 の出力側には、3 端子ごとに 1 個ずつ R, G, B の各色を切り替えるスイッチ 8 4-1~8 4-6 が設けられ、さらにその後段に再度メモリ回路 8 1 とメモリ回路 8 2 とを切り替えるスイッチ 8 5-1~8 5-3 が設けられている。そして、スイッチ 8 5-1~8 5-3 の各選択出力がドライバ IC 4 4-1~4 4-3 に与えられるようになっている。

また、メモリ回路 8 1, 8 2 には、ドライバ IC の数と同じ数の R, G, B の出力があり、これらは各々 1~10 ドット、11~20 ドット、21~30 ドットのデータを順に出力するように構成されている。一方、メモリ回路 8 1, 8 2 の前段および後段に配されているスイッチ 8 3 とスイッチ 8 5-1~8 5-3 は互いに連動しており、片方がメモリ回路 8 1 を選択すると、もう一方はメモリ回路 8 2 を選択するようになっている。

上記の構成において、外部から入力される映像データは、最初はスイッチ 8 3 がメモリ回路 8 1 側に切り替わっていることにより、このスイッチ 8 3 を介してメモリ回路 8 1 に 1 ライン分蓄えられる。その後、スイッチ 8 3 がメモリ回路 8 2 側に切り替わることにより、次の 1 ライン分の映像データはメモリ回路 8 2 に蓄えられる。

そのとき、メモリ回路 8 1 はドライバ IC 4 4-1 に対して 1~10 ドット目のデータを出力し、ドライバ IC 4 4-2 に対しては 11~20 ドット目のデータを出力し、又ドライバ IC 4 4-3 に対しては 21~30 ドット目のデータを出力する。そして、次の 1 ラインではメモリ回路 8 1 とメモリ回路 8 2 とを入れ替えて、上記と同様の動作を行ってこれを繰り返すことにより、1 枚の画像が構成される。

このように、最初はメモリ回路 8 1 に 1 ライン分のデータを記憶し、次の 1 ライン期間中にメモリ回路 8 2 にデータを記憶しながら、ス

イッチ 8 4-1～8 4-3でRのみを選択してメモリ回路 8 1からRデータを1つのドライバ I C分だけ読み出して当該ドライバ I Cに書き込み、同時に別のドライバ I Cにも該当するデータを読み出して当該ドライバ I Cに書き込み、GおよびBについても同様の方法にて書き込みを行うことにより、ドライバ I Cの各々に同時に別々のデータを書き込むことができる。

これにより、各ドライバ I Cにデータを書き込む速度を、ドライバ I Cの数をnとすると、n分の1に減速することができるので、例えば映像データの転送レートが200MHz、ドライバ I Cの数nが3個であれば、約67MHzの動作速度を持つドライバ I Cで処理できることになり、既存のドライバ I Cでも十分に対応できることになる。また、1ライン分全てのデータを各ドライバ I Cに書き込む時間をn分の1に短縮することができるので、その分だけ液晶表示パネルへの書き込み時間を延ばすこともできる。

ところで、従来の液晶表示装置では、R、G、Bの各々の電圧透過率特性は一致していなかった。その理由は、色ごとに波長が異なるため、その波長に依存して液晶分子内での屈折率に差異が生じ、結果的に電圧、透過率特性がBに対してRが負の電圧側にずれているからである。

第32図Aおよび第32図Bに、TN(twist nematic) 液晶を使用した場合の液晶の透過率と液晶に印加する電圧の特性カーブ（V-Tカーブ）を示す。この第32図Aの特性図から明らかなように、通常、R（透過波長が600nm～660nm）、G（透過波長が530nm～550nm）、B（透過波長が370nm～460nm）で、V-Tカーブがシフトしている。

これは波長に依存して液晶分子の屈折率に差異があるためである。

波長の長いRの方が屈折率が小さいため、液晶に電圧を印加したとき、いち早く液晶による光の90度回転が損なわれる。Bは屈折率が大きいいため、光の90度回転が最後まで維持される。このため、V-Tカーブにおいて、同じ電圧を印加しても透過率に差異が発生する。

- 5 液晶基板内の水平方向に時分割スイッチ（アナログスイッチ）を配置した構成の本発明に係る液晶表示装置において、選択スイッチ以外の信号ラインはフローティング状態となっており、この状態では、隣接する信号ライン間での信号電位の飛び込みの影響を受ける。つまり、画素の信号ライン間にはライン間の容量が存在し、時分割スイッチ
- 10 の周辺の等価回路を示す第33図A、第33図Bおよび第33図Cにおいて、例えばスイッチS1が選択（第33図A）された後にスイッチS2が選択（第33図B）されると、スイッチS2の“H”レベルの信号がスイッチS1に飛び込み、保持されている電圧が飛び込み容量分だけ増加する。

- 15 これは、信号ライン間の容量をCsig1とし、一つの信号ラインの容量をCsig2とすると、飛び込みによる電圧ΔVは、

$$\Delta V = V_{\text{sig}} \times C_{\text{sig1}} / (C_{\text{sig1}} + C_{\text{sig2}}) \cdots (1)$$

- となる。ここで、Vsigは、選択された信号ラインに入力される信号電圧の振幅電圧である。この値を、ちょうど、液晶のV-Tカーブで
- 20 の中間調の同じ透過率の状態での印加電圧のシフト量を補完するように定めれば良い。

- RとBの電圧のシフト量は0.3Vであり、これを飛び込みによる電圧ΔVに当てはめる。ちなみに、1HVCOM（コモン）反転駆動法では、1H時間は同一極性の電圧が信号ラインに印加されるため、
- 25 先に選択されたスイッチS1については、次のスイッチS2が選択された場合に、保持された信号ラインの電位は増加する。

また、スイッチ S 3 が次に選択（第 3 3 図 C）される。これは、スイッチ S 1 に隣接するスイッチ S 3' から飛び込み電位が入力されることを意味する。最終的には、スイッチ S 1 に関しては 2 回、スイッチ S 2 に関しては 1 回、信号ライン間の飛び込みの影響を受けること
5 になる。

ここでは、この現象に着目して、液晶の色に依存して V-T カーブの電圧シフトを補完する方法について述べる。ちなみに、1 H 反転駆動法に関しては、第 3 4 図のタイミングチャートから明らかなように、1 番目に選択される信号ラインを B、2 番目に選択される信号ライ
10 ンを G、3 番目に選択される信号ラインを R とする配置として、先に述べた V-T カーブの補完を行っている。

一方、ドット反転駆動を行う場合、隣接する信号ライン間には常に逆の極性が印加されるため、信号電位（振幅電位）としては、小さくなる方向で飛び込み電圧が発生する。つまり、第 3 5 図 A、第 3 5 図
15 B および第 3 5 図 C に示すように、スイッチ S 1 が“H”レベルで書き込まれ（第 3 5 図 A）、その後スイッチ S 2 が“L”レベルで書き込まれると（第 3 5 図 B）、非選択状態のスイッチ S 1 に対して“L”レベルの電位が飛び込む。その後、スイッチ S 3 に“H”レベルが書き込まれるが（第 3 5 図 C）、スイッチ S 3 に隣接するスイッチ S
20 1' に対しては、同様に“H”レベルの飛び込みが発生する。

しかし、スイッチ S 1 に隣接するスイッチ S 3' はドット反転駆動であるため“L”レベルとなる。これがスイッチ S 1 に飛び込み、さらに電圧が減少する。結局、一番最初に選択されたスイッチ S 1 に対しては、信号電圧を減少させる電圧が 2 回発生し、スイッチ S 2 に対
25 しては、信号電圧を減少させる電圧が 1 回発生する。

これを、液晶の R、G、B の V-T カーブにおける電圧シフトを補

完させるようにするためには、第 3 6 図のタイミングチャートから明らかかなように、一番最初に選択される信号ラインを R とし、2 番目を G、3 番目を B とすることが好ましいことがわかる。

5 以上の方法を採用することにより、第 3 2 図 B に示すように、中間調での電圧－透過率の特性カーブは補完され、画像信号に忠実な表示が可能となる。第 3 7 図 A および第 3 7 図 B には、本発明に係る画素配列と時分割スイッチの走査方向の関係を示す。第 3 7 図 A は 1 H 反転駆動法の場合を、第 3 7 図 B はドット反転駆動法の場合をそれぞれ示している。

10 なお、上述した方法は、信号ライン間に存在する容量を積極的に、液晶の電圧－透過率特性の補完に使用しているため、複雑な回路構成を必要とせず、色配列だけを所定の順番にすることにより達成できる点で、その効果は極めて大きいと言える。

ただし、信号ライン間の容量 C_{sig1} と信号ライン自体の容量 C_{sig2} は、先に示した (1) 式に対して、 $\Delta V = V_{sig} \times C_{sig1} / (C_{sig1} + C_{sig2}) \leq$ (液晶内での電圧－透過率特性の R と G の電圧差) の条件を満たすことが必要となる。例えば、液晶内での電圧－透過率特性の R と G の電圧差が 0.15 V、選択された信号ラインに入力される信号電圧の振幅電圧 V_{sig} が 9 V である場合、これを補正するには、
20 $C_{sig1} / (C_{sig1} + C_{sig2})$ が 0.017 となるように設計すれば良い。

このように、各表示方式の液晶表示装置において、ドライバ IC 4 4 からは、R、G、B の電圧－透過率 (V-T) 特性のカーブを補正するような信号電位を発生するようにしたことにより、中間調付近で
25 の R、G、B の透過率が一致するため、画像信号に対してより忠実な色表現が可能となる。また、複雑な回路構成を必要としないため、製

造歩留りを低下させることなく、色精度を向上させることができる。

以上説明したように、本発明による液晶表示装置においては、複数のドライバ回路をそれぞれの出力端子数を同じ数に設定して複数列分の信号ラインの各々に対応関係をもって順に配置する際に、複数列分の信号ラインに端数が出るとき、複数のドライバ回路のうちの1つの出力端子数を上記端数に設定するようにしたことにより、ドライバ回路の出力端子を余らせることなく信号ラインの各々と接続することができるため、液晶表示パネルには画像表示に寄与しない余分な接続領域が生じず、よって液晶表示パネルの水平方向の狭幅化が可能になる。

また、本発明による他の液晶表示装置においては、複数のドライバ回路のそれぞれの出力端子数を、複数列分の信号ラインの総本数の約数に設定するようにしたことにより、信号ラインには端数が生じず、ドライバ回路の出力端子を余らせることなく信号ラインの各々と接続することができるため、液晶表示パネルには画像表示に寄与しない余分な接続領域が生じず、よって液晶表示パネルの水平方向の狭幅化が可能になる。

請求の範囲

1. マトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が2次元配置されてなる表示部と、

- 5 前記表示部の各画素に前記複数列分の信号ラインを介して信号電位を与える複数のドライバ回路とを備え、

前記複数のドライバ回路をそれぞれの出力端子数を同じ数に設定して前記複数列分の信号ラインの各々に対応関係をもって順に配置する際に、前記複数列分の信号ラインに端数が出るとき、前記複数のドラ

- 10 イバ回路のうちの1つの出力端子数を前記端数に設定する

ことを特徴とする液晶表示装置。

2. 請求の範囲1に記載の液晶表示装置において、

前記複数のドライバ回路は、前記表示部が形成される透明絶縁基板の外部に配されたドライバICである

- 15 ことを特徴とする液晶表示装置。

3. マトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が2次元配置されてなる表示部と、

- 20 前記表示部の各画素に前記複数列分の信号ラインを介して信号電位を与える複数のドライバ回路とを備え、

前記複数のドライバ回路のそれぞれの出力端子数を、前記複数列分の信号ラインの総本数の約数に設定する

ことを特徴とする液晶表示装置。

4. 請求の範囲3に記載の液晶表示装置において、

- 25 前記複数のドライバ回路のそれぞれの出力端子数が同じ数であることを特徴とする液晶表示装置。

5. 請求の範囲 3 に記載の液晶表示装置において、
前記複数のドライバ回路のそれぞれの出力端子数が 2 のべき乗である
ことを特徴とする液晶表示装置。
- 5 6. 請求の範囲 3 に記載の液晶表示装置において、
前記複数のドライバ回路は、前記表示部が形成される透明絶縁基板
の外部に配されたドライバ IC である
ことを特徴とする液晶表示装置。
7. 請求の範囲 3 に記載の液晶表示装置において、
- 10 前記複数のドライバ回路に書き込むためのデータを一時的に記憶する
記憶回路と、
前記複数のドライバ回路に対して同時に別々のデータを前記記憶回路
から書き込むべく制御する制御回路と
を有することを特徴とする液晶表示装置。
- 15 8. 請求の範囲 4 に記載の液晶表示装置において、
前記表示部に隣接する額縁部分のサイズが規定されるとき、その規定
された額縁サイズのもとに、その額縁部分の配線領域に配線可能な
配線数によって前記複数のドライバ回路のそれぞれの出力端子数 n が
決定される
- 20 ことを特徴とする液晶表示装置。
9. 請求の範囲 8 に記載の液晶表示装置において、
前記ドライバ回路の個数は、表示方式によって決まる前記複数列分
の信号ラインの総本数を N とするとき、 N/n 個に設定される
ことを特徴とする液晶表示装置。
- 25 10. 請求の範囲 3 に記載の液晶表示装置において、
前記複数のドライバ回路の各々から出力される信号電位を時分割に

て前記複数列分の信号ラインに与える時分割スイッチを有することを特徴とする液晶表示装置。

1 1. 請求の範囲 1 0 に記載の液晶表示装置において、

5 前記複数のドライバ回路の信号出力波形は、立ち上がり、立ち下がり共に時間軸に対して対称であることを特徴とする液晶表示装置。

1 2. 請求の範囲 1 0 に記載の液晶表示装置において、

前記時分割スイッチの時分割数が 3 であることを特徴とする液晶表示装置。

10 1 3. 請求の範囲 1 2 に記載の液晶表示装置において、

前記時分割スイッチで選択する期間は、水平走査期間の 3 分の 1 以下の期間であることを特徴とする液晶表示装置。

1 4. 請求の範囲 1 3 に記載の液晶表示装置において、

15 前記複数のドライバ回路の立ち上がり時間および立ち下がり時間は、前記時分割スイッチで選択する期間以下であることを特徴とする液晶表示装置。

1 5. 請求の範囲 1 3 に記載の液晶表示装置において、

20 前記時分割スイッチの選択期間の間に生じるブランキング期間は、 $(\text{水平走査期間} - \text{時分割スイッチの選択期間} \times 3) / 3$ 以下であることを特徴とする液晶表示装置。

1 6. 請求の範囲 1 5 に記載の液晶表示装置において、

前記複数のドライバ回路は、前記ブランキング期間においてその出力回路の動作を停止する機能を持つ

25 ことを特徴とする液晶表示装置。

1 7. 請求の範囲 1 2 に記載の液晶表示装置において、

前記複数のドライバ回路は、R（赤）、G（緑）、G（青）の電圧－透過率特性のカーブを補正するような信号電位を発生する

ことを特徴とする液晶表示装置。

18. 請求の範囲12に記載の液晶表示装置において、

- 5 1H（Hは水平走査期間）反転駆動又は1Hコモン反転駆動において、前記時分割スイッチによって1番目に選択される信号ラインが青、2番目に選択される信号ラインが緑、3番目に選択される信号線が赤である

ことを特徴とする液晶表示装置。

- 10 19. 請求の範囲10に記載の液晶表示装置において、

ドット反転駆動において、前記時分割スイッチによって1番目に選択される信号ラインが赤、2番目に選択される信号ラインが緑、3番目に選択される信号線が青である

ことを特徴とする液晶表示装置。

補正書の請求の範囲

[1999年8月19日(19.08.99)国際事務局受理：出願当初の請求の範囲1及び17は補正された；新しい請求の範囲20が加えられた；他の請求の範囲は変更なし。(3頁)]

1. (補正後) マトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が2次元配置されてなる表示部と、

- 5 前記表示部の各画素に前記複数列分の信号ラインを介して信号電位を与える複数のドライバ回路とを備え、

前記複数のドライバ回路の出力端子数と前記複数列分の信号ラインの各々とを対応関係をもって順に配置する際に、前記複数列分の信号ラインに端数が出るとき、前記複数のドライバ回路のうちの1つの出

- 10 力端子数を前記端数に設定する

ことを特徴とする液晶表示装置。

2. 請求の範囲1に記載の液晶表示装置において、

前記複数のドライバ回路は、前記表示部が形成される透明絶縁基板の外部に配されたドライバICである

- 15 ことを特徴とする液晶表示装置。

3. マトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が2次元配置されてなる表示部と、

- 20 前記表示部の各画素に前記複数列分の信号ラインを介して信号電位を与える複数のドライバ回路とを備え、

前記複数のドライバ回路のそれぞれの出力端子数を、前記複数列分の信号ラインの総本数の約数に設定する

ことを特徴とする液晶表示装置。

4. 請求の範囲3に記載の液晶表示装置において、

- 25 前記複数のドライバ回路のそれぞれの出力端子数が同じ数であることを特徴とする液晶表示装置。

て前記複数列分の信号ラインに与える時分割スイッチを有する

ことを特徴とする液晶表示装置。

1 1. 請求の範囲 10 に記載の液晶表示装置において、

5 前記複数のドライバ回路の信号出力波形は、立ち上がり、立ち下
がり共に時間軸に対して対称である

ことを特徴とする液晶表示装置。

1 2. 請求の範囲 10 に記載の液晶表示装置において、

前記時分割スイッチの時分割数が 3 である

ことを特徴とする液晶表示装置。

10 1 3. 請求の範囲 12 に記載の液晶表示装置において、

前記時分割スイッチで選択する期間は、水平走査期間の 3 分の 1 以
下の期間である

ことを特徴とする液晶表示装置。

1 4. 請求の範囲 13 に記載の液晶表示装置において、

15 前記複数のドライバ回路の立ち上がり時間および立ち下がり時間は
、前記時分割スイッチで選択する期間以下である

ことを特徴とする液晶表示装置。

1 5. 請求の範囲 13 に記載の液晶表示装置において、

20 前記時分割スイッチの選択期間の間に生じるブランキング期間は、
(水平走査期間 - 時分割スイッチの選択期間 × 3) / 3 以下である

ことを特徴とする液晶表示装置。

1 6. 請求の範囲 15 に記載の液晶表示装置において、

前記複数のドライバ回路は、前記ブランキング期間においてその出
力回路の動作を停止する機能を持つ

25 ことを特徴とする液晶表示装置。

1 7. (補正後) 請求の範囲 12 に記載の液晶表示装置において、

前記複数のドライバ回路は、前記時分割スイッチへの飛び込みによる R（赤）、G（緑）、B（青）の電圧－透過率特性のカーブのシフト量を補正するような信号電位を発生する

ことを特徴とする液晶表示装置。

- 5 18. 請求の範囲 12 に記載の液晶表示装置において、

1 H（H は水平走査期間）反転駆動又は 1 H コモン反転駆動において、前記時分割スイッチによって 1 番目に選択される信号ラインが青、2 番目に選択される信号ラインが緑、3 番目に選択される信号線が赤である

- 10 ことを特徴とする液晶表示装置。

19. 請求の範囲 10 に記載の液晶表示装置において、

ドット反転駆動において、前記時分割スイッチによって 1 番目に選択される信号ラインが赤、2 番目に選択される信号ラインが緑、3 番目に選択される信号線が青である

- 15 ことを特徴とする液晶表示装置。

20. （追加）請求の範囲 12 に記載の液晶表示装置において、

前記時分割スイッチの時分割が、1 画素を構成する R（赤）、G（緑）、B（青）に信号を配分している

ことを特徴とする液晶表示装置。

条約 19 条に基づく説明書

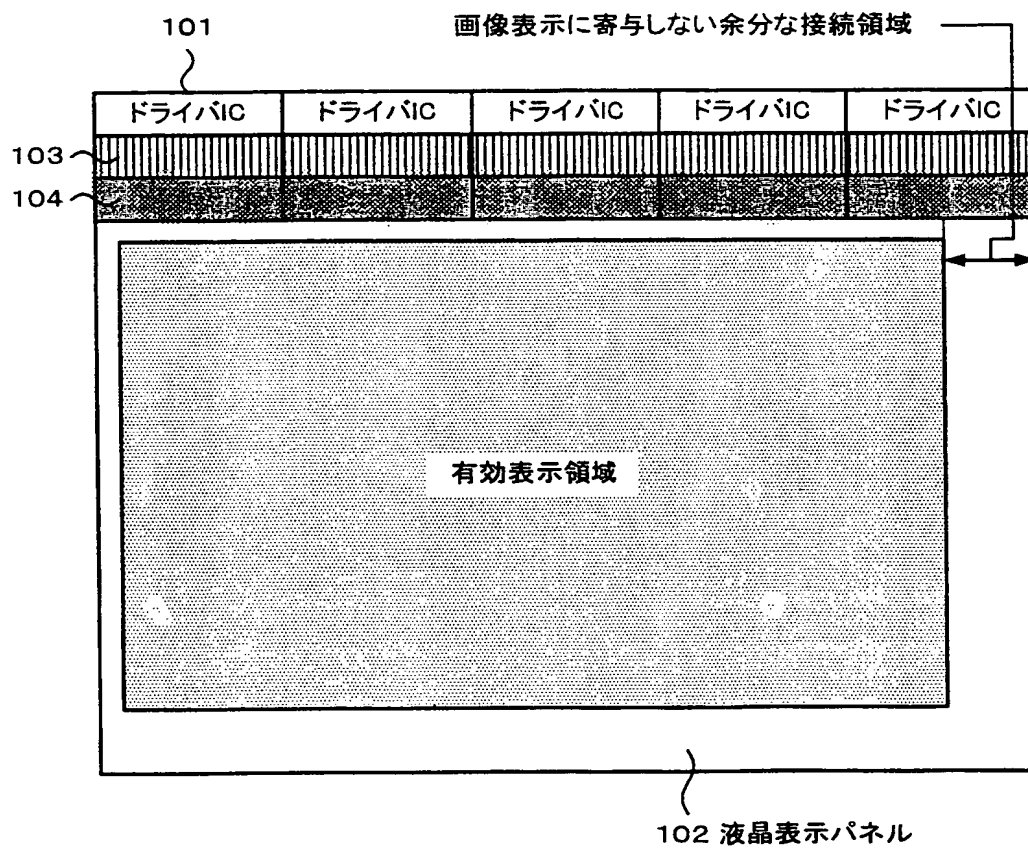
請求の範囲第 1 項は、よく見たところ不明瞭なため、JP, 4-12318, A (三洋電機株式会社) と X の関係に見えるが、発明の技術的特徴は異なっているので、これを明確にした。

請求の範囲第 17 項は、JP, 9-319334, A (インターナショナル・ビジネス・マシーンズ・コーポレーション) と差別化するため、限定する補正を行った。

請求の範囲第 20 項は、請求の範囲第 12 項にさらに限定を加えたものである。

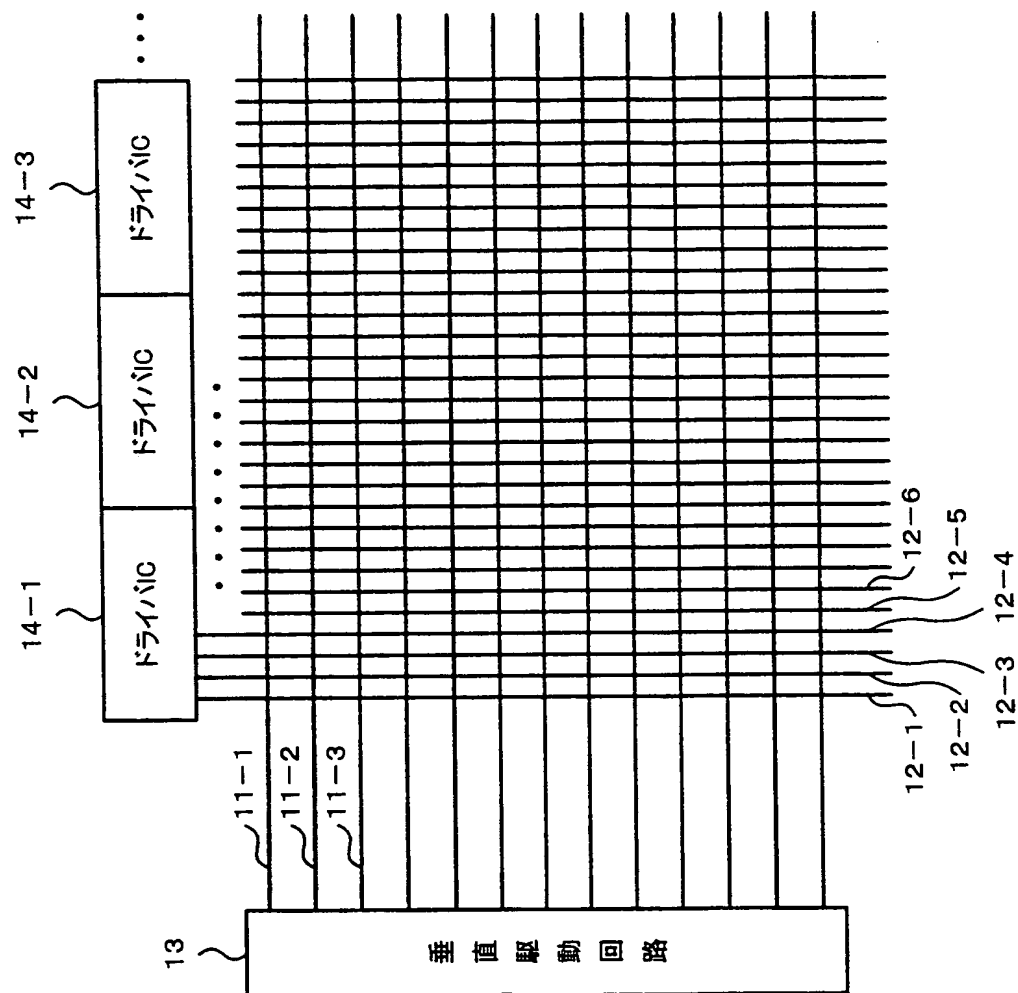
THIS PAGE BLANK (USPTO)

第1図



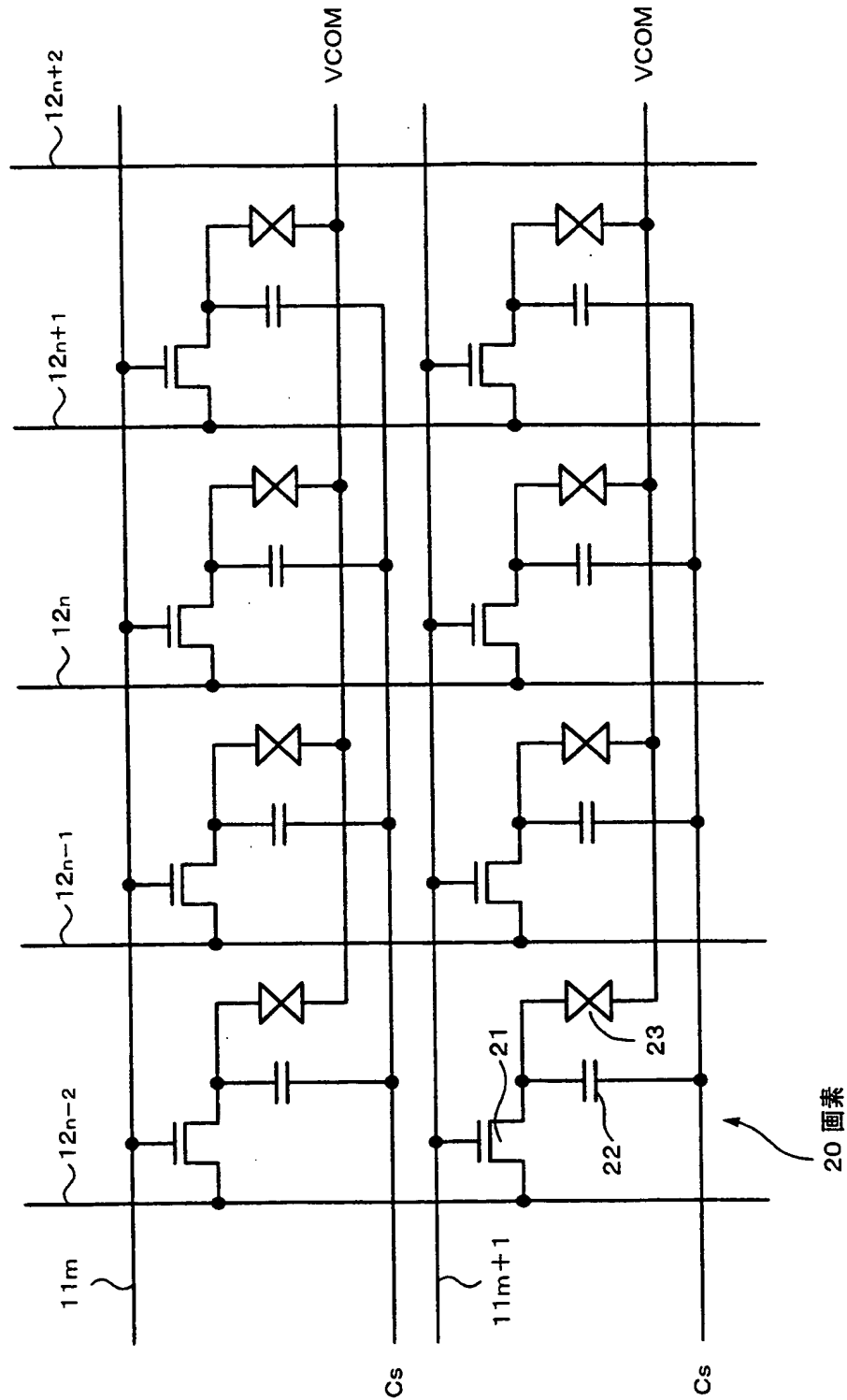
THIS PAGE BLANK (USPTO)

第2図



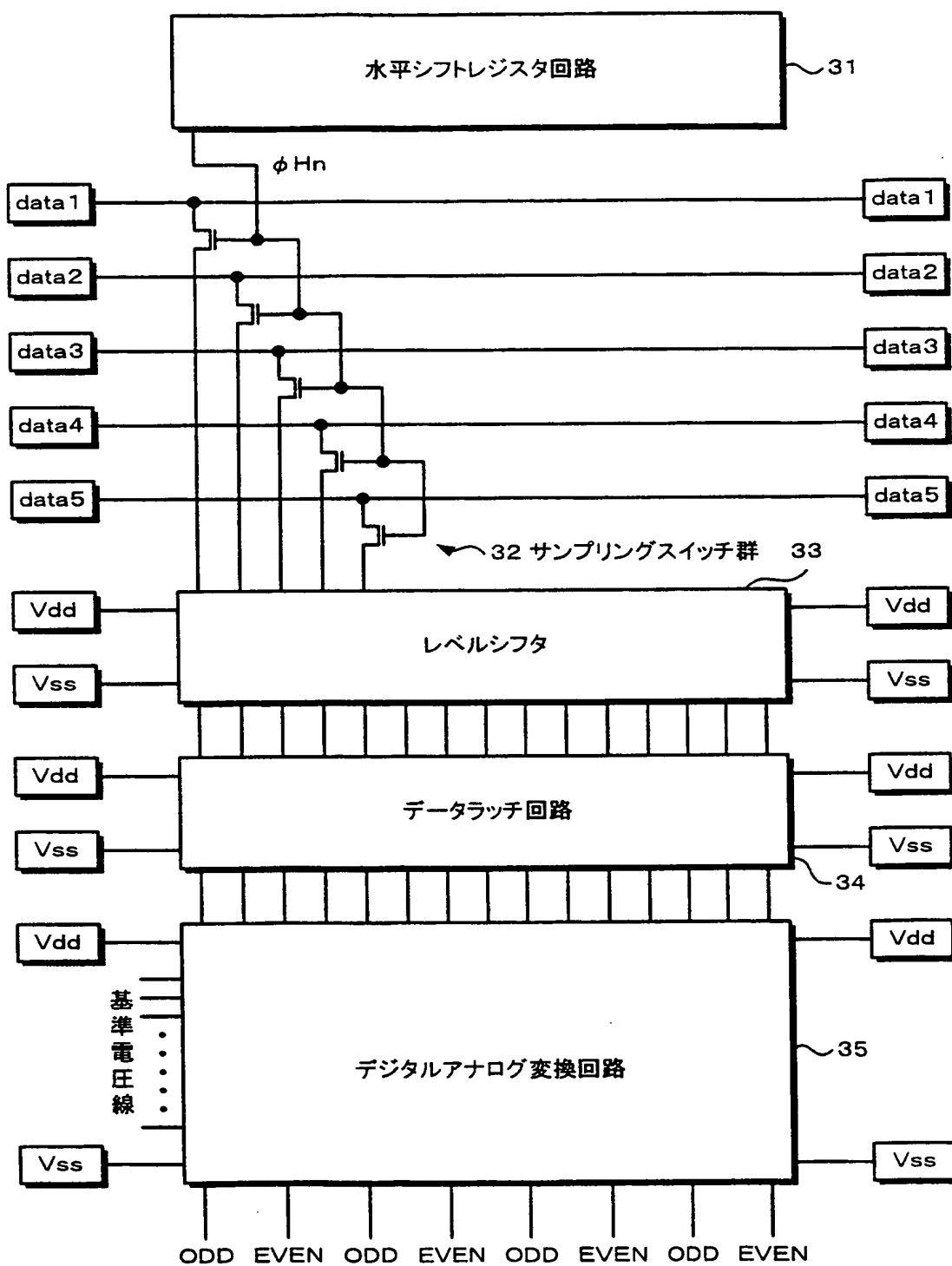
THIS PAGE BLANK (USPTO)

第3図



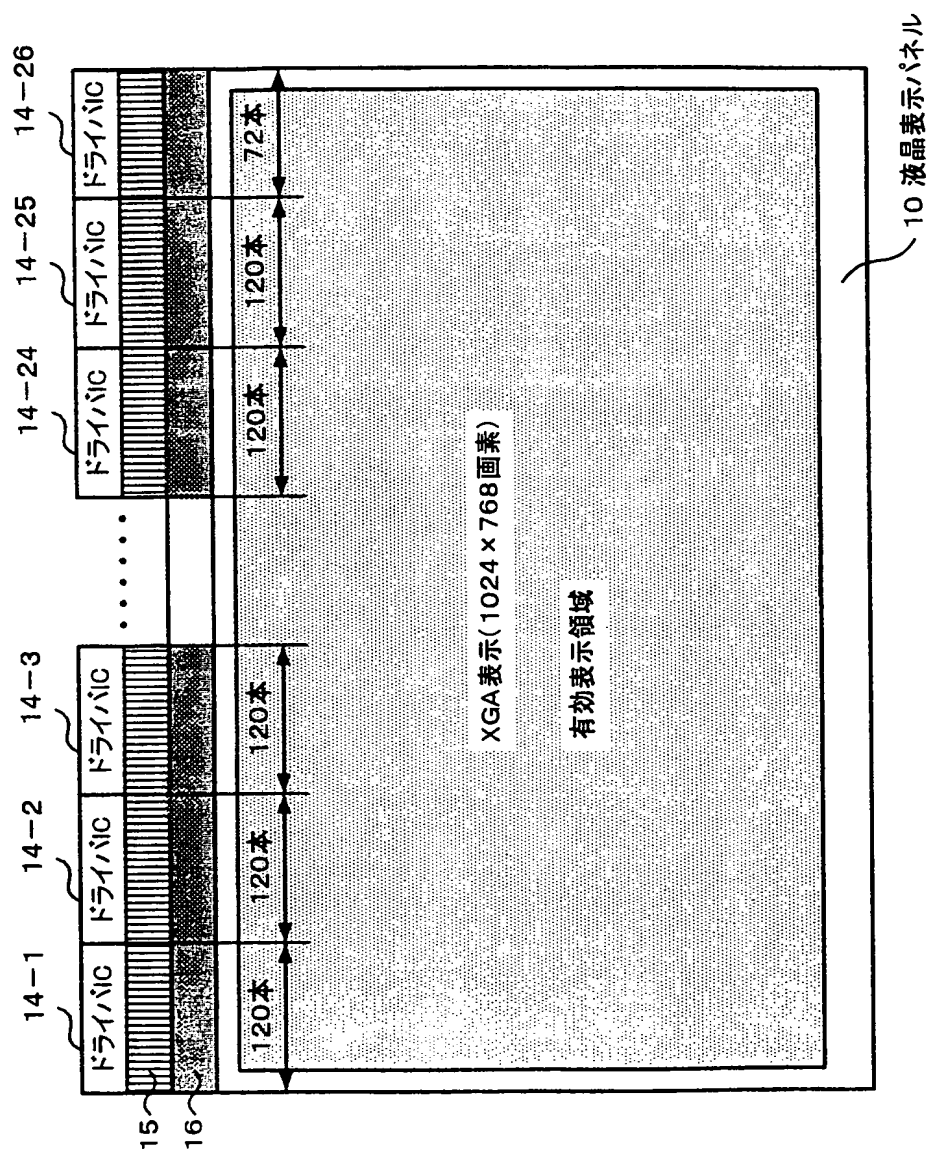
THIS PAGE BLANK (USPTO)

第4図



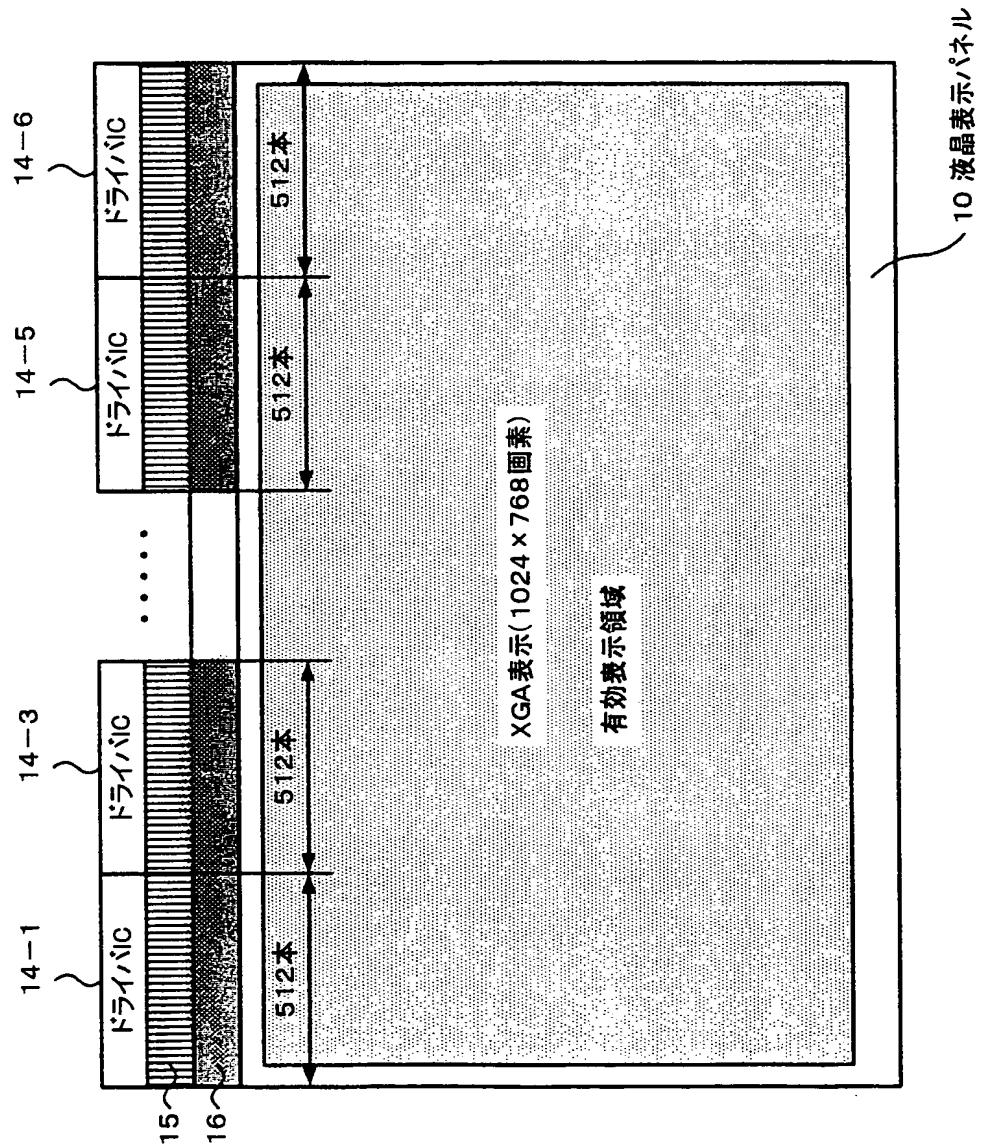
THIS PAGE BLANK (USPTO)

第5図



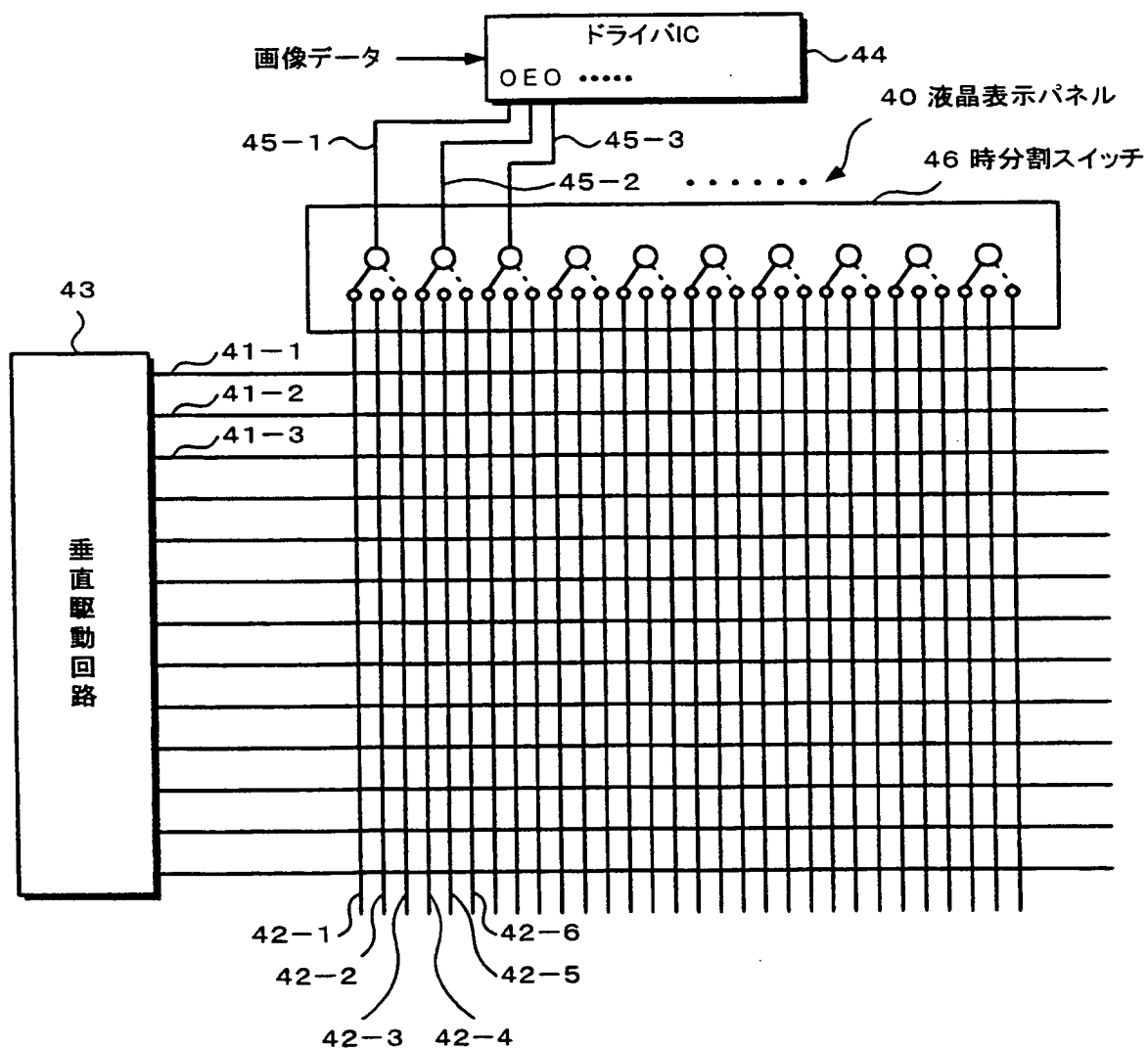
THIS PAGE BLANK (USPTO)

第6図



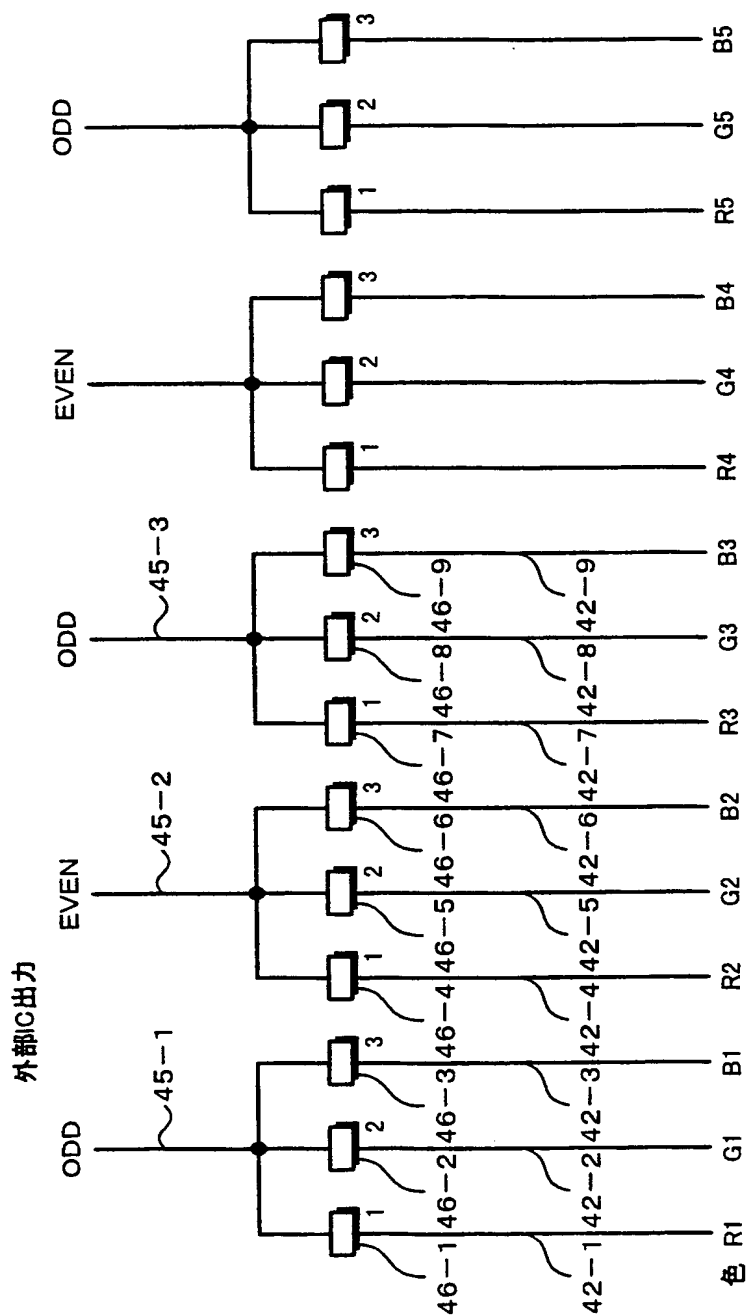
THIS PAGE BLANK (USPTO)

第7図



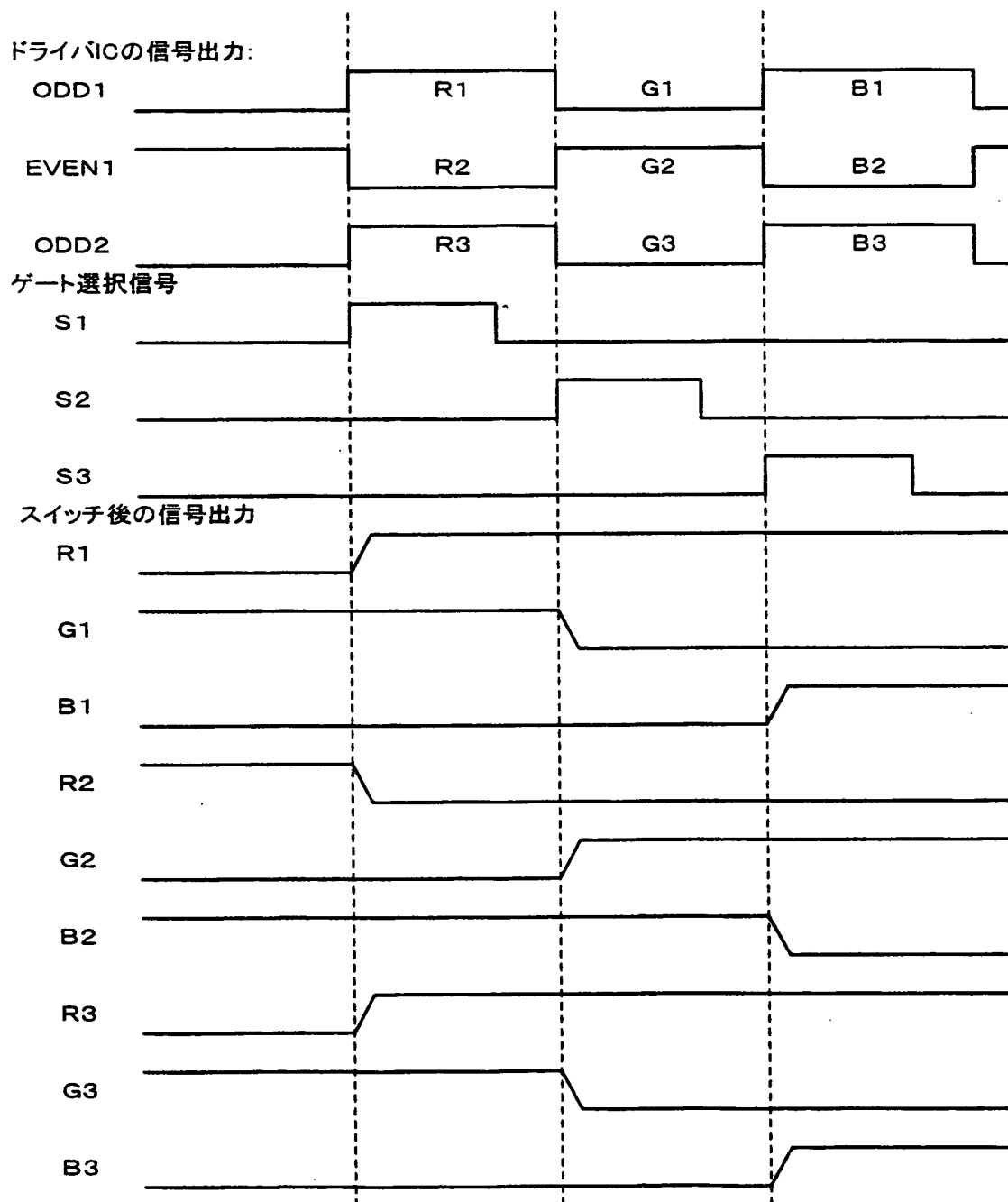
THIS PAGE BLANK (USPTO)

第8図



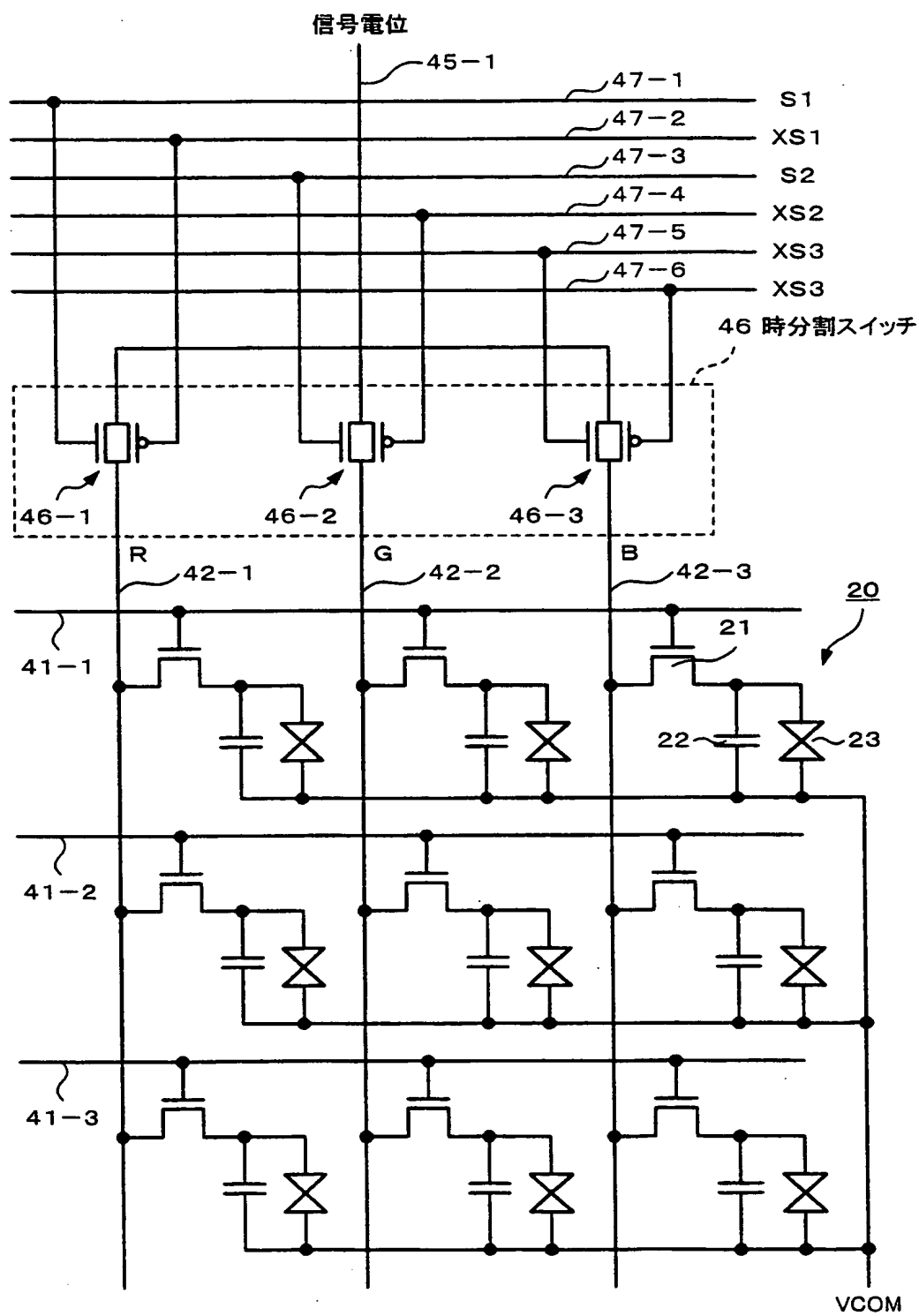
THIS PAGE BLANK (USPTO)

第 9 図



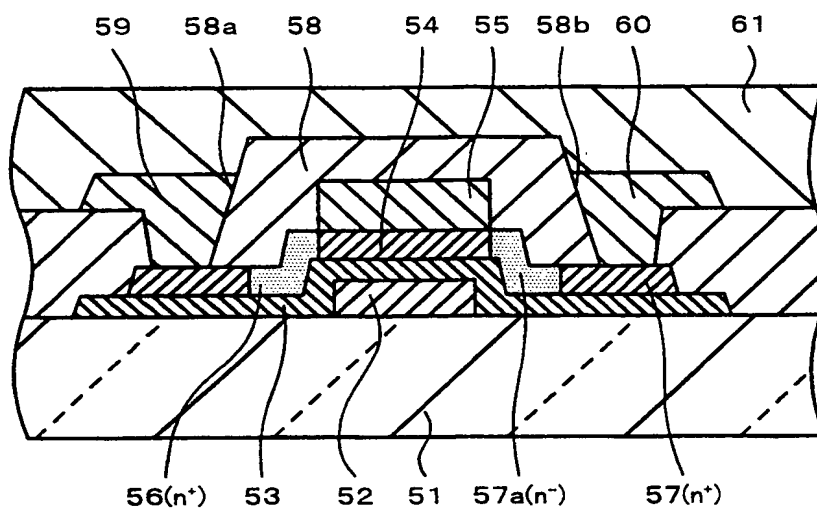
THIS PAGE BLANK (USPTO)

第10図

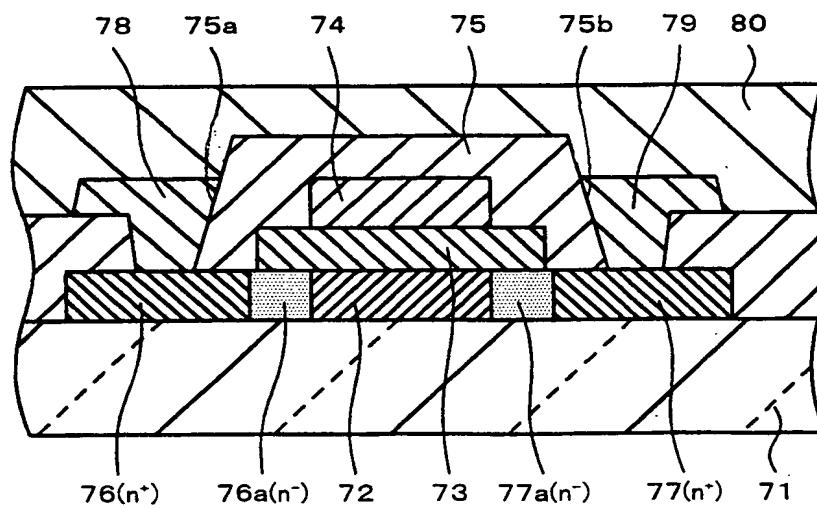


THIS PAGE BLANK (USPTO)

第 1 1 図 A



第 1 1 図 B



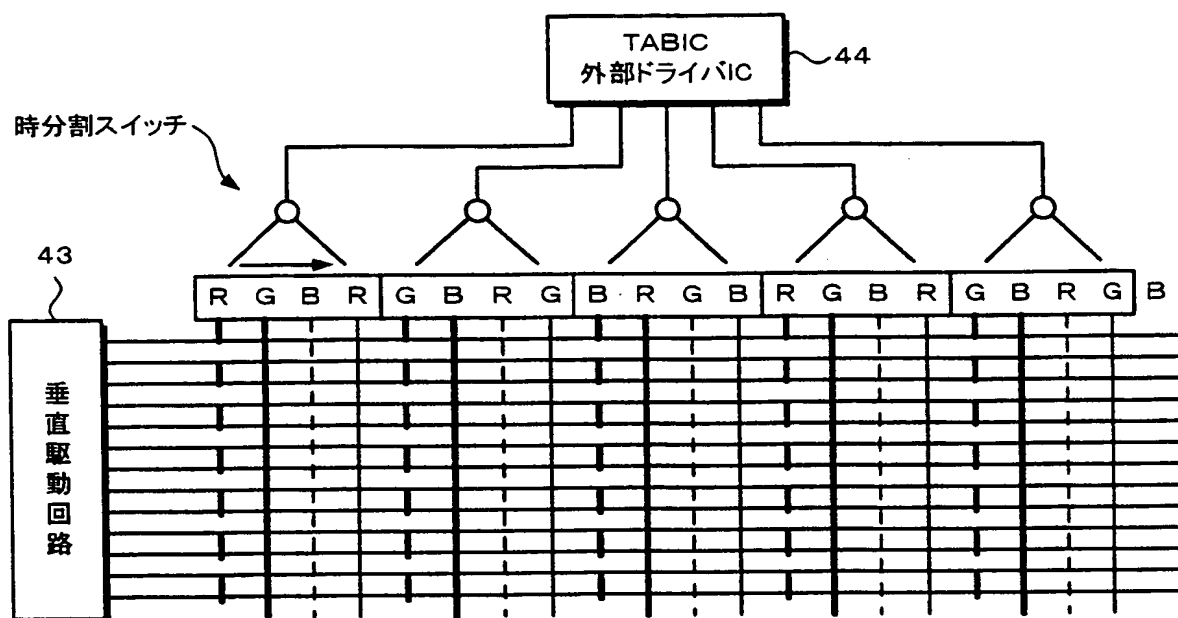
THIS PAGE BLANK (USPTO)

第 12 圖

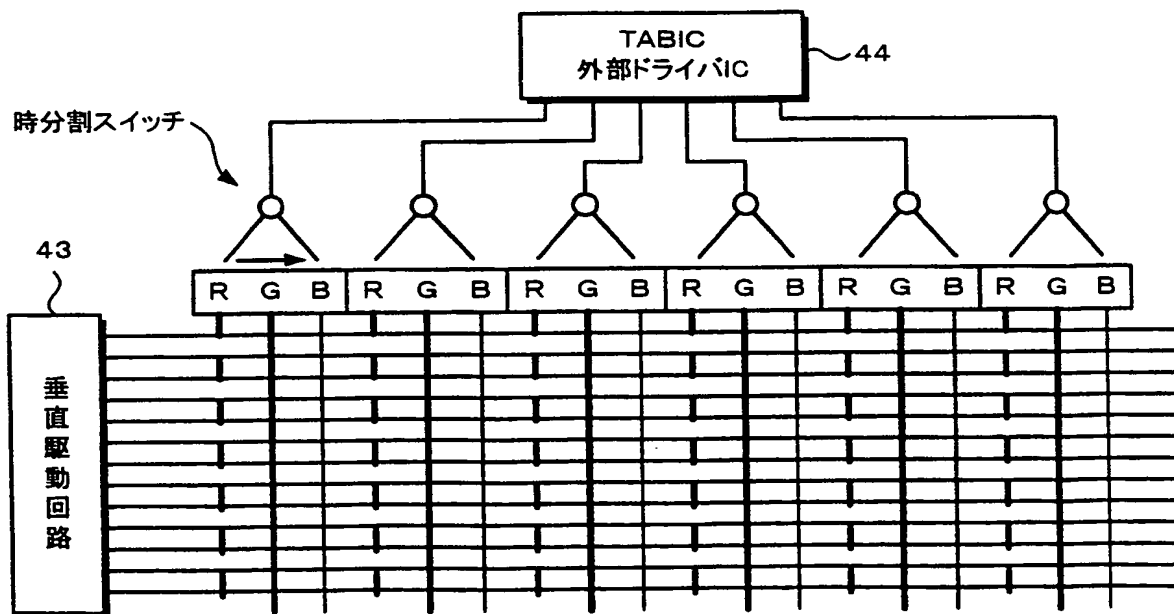
[illegible]

THIS PAGE BLANK (USPTO)

第 1 3 図 A

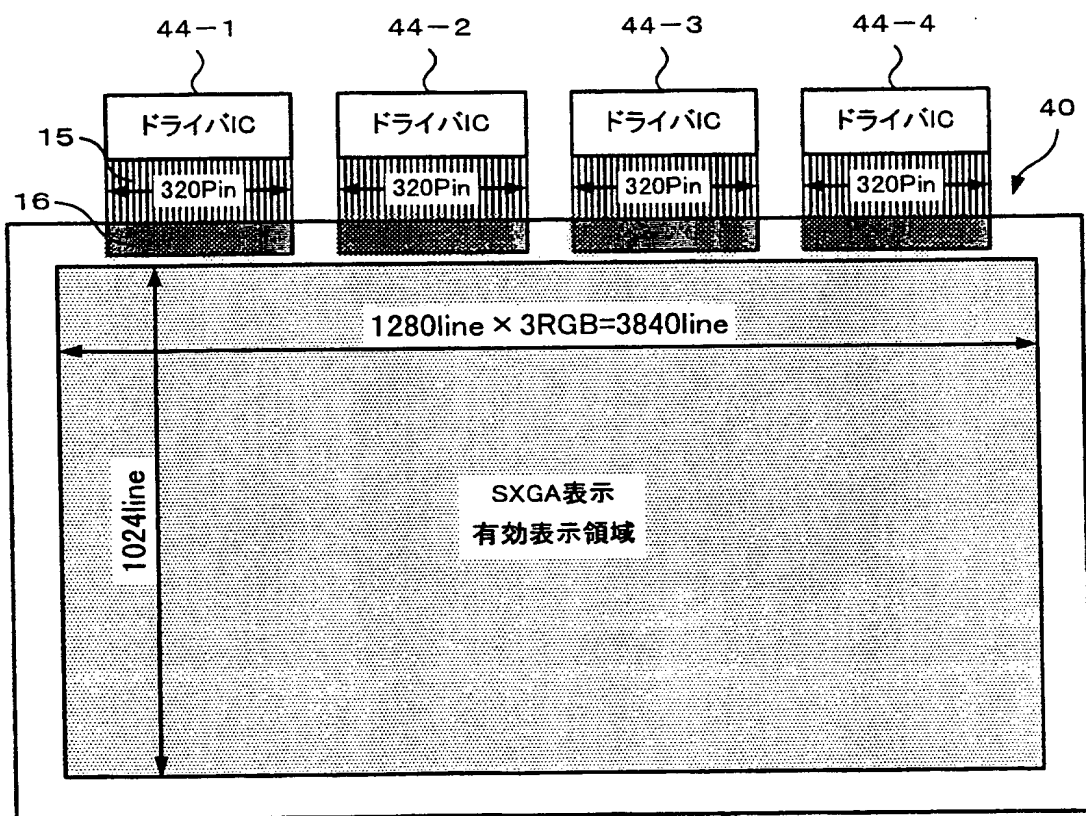


第 1 3 図 B



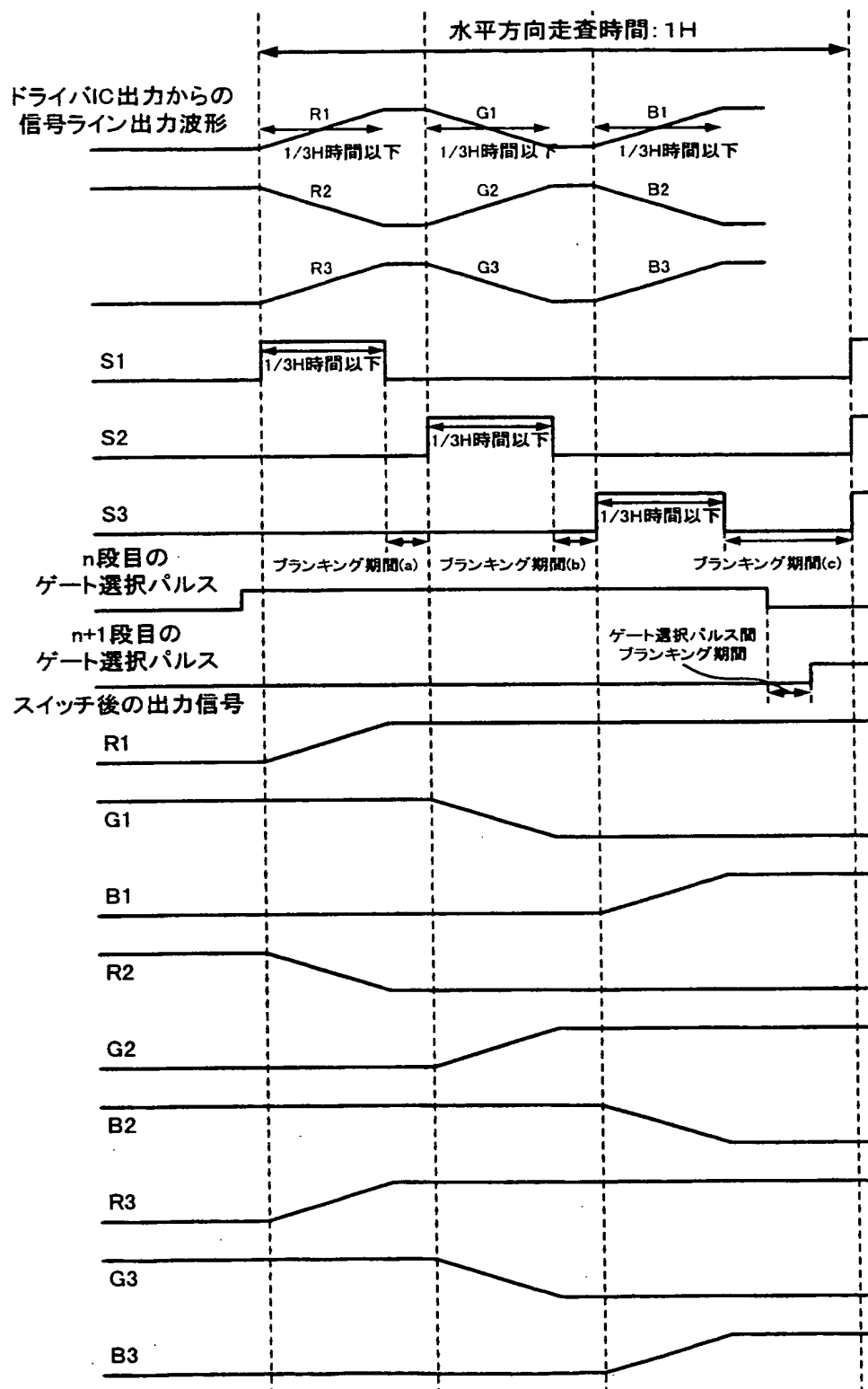
THIS PAGE BLANK (USPTO)

第 1 4 図



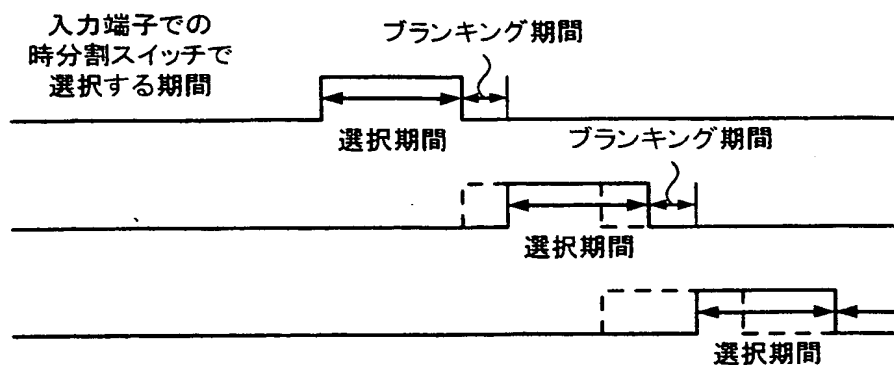
THIS PAGE BLANK (USPTO)

第15図

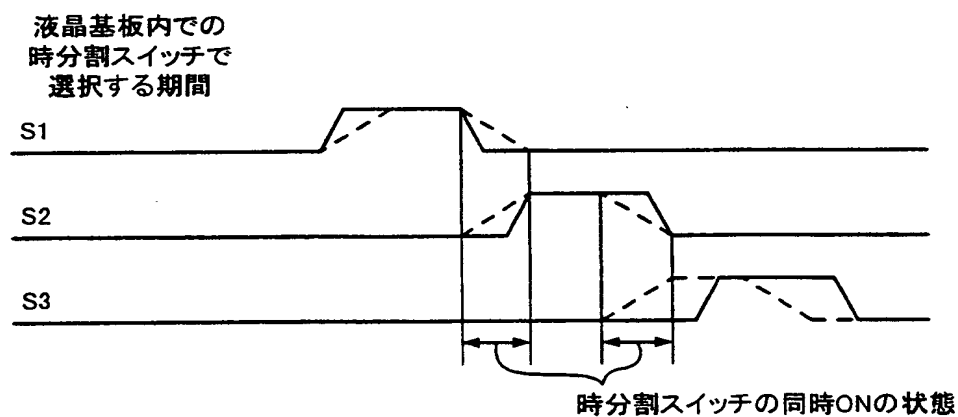


THIS PAGE BLANK (USPTO)

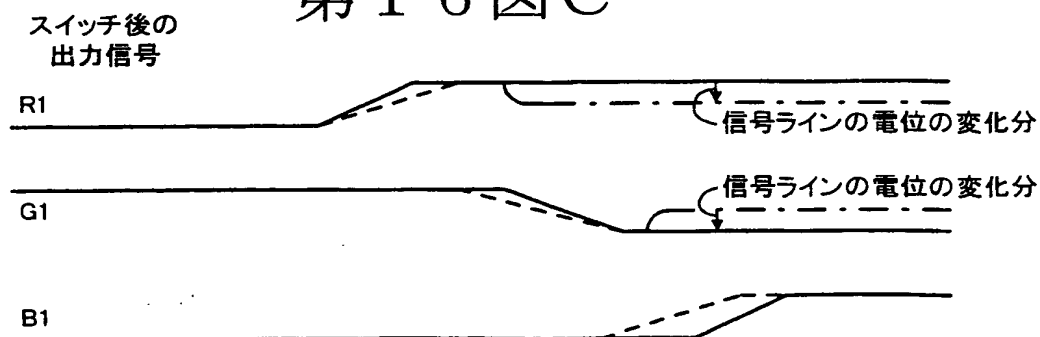
第 1 6 図 A



第 1 6 図 B

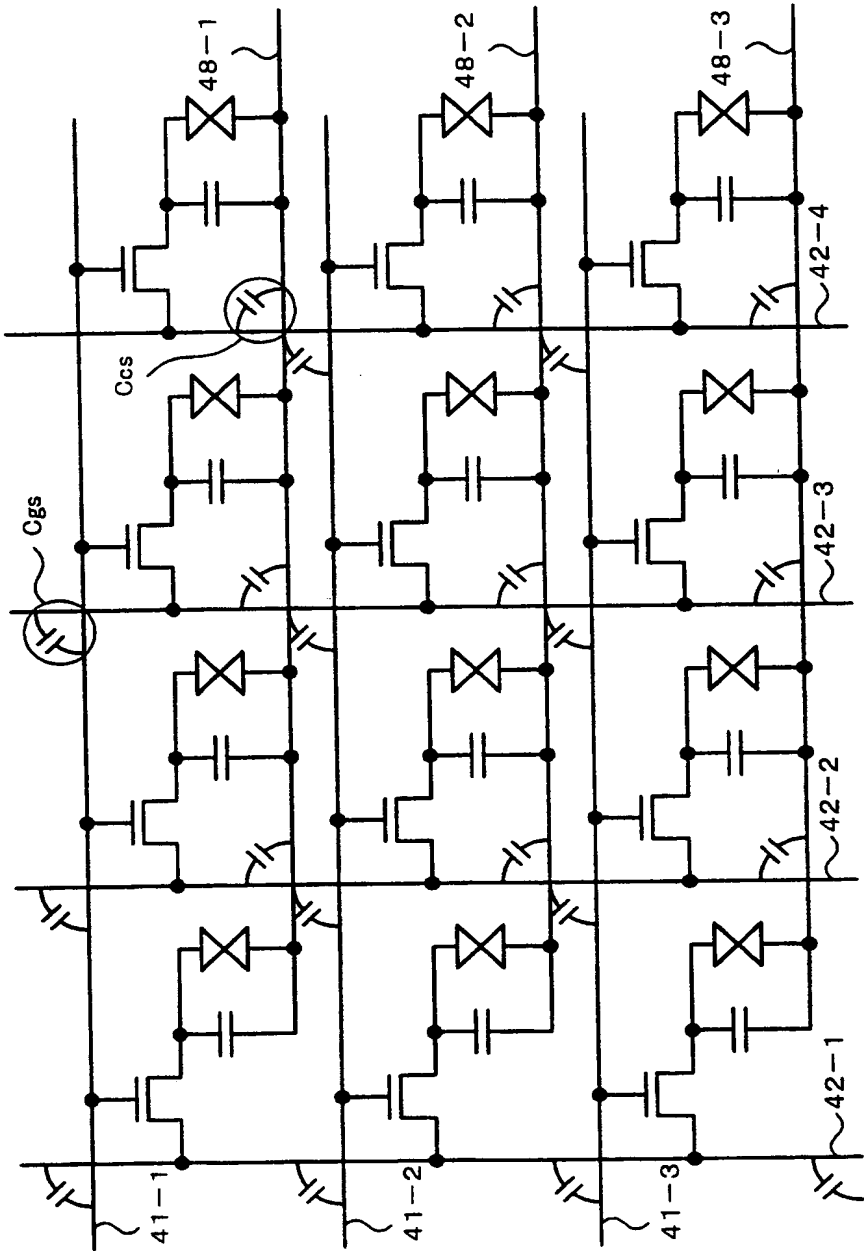


第 1 6 図 C



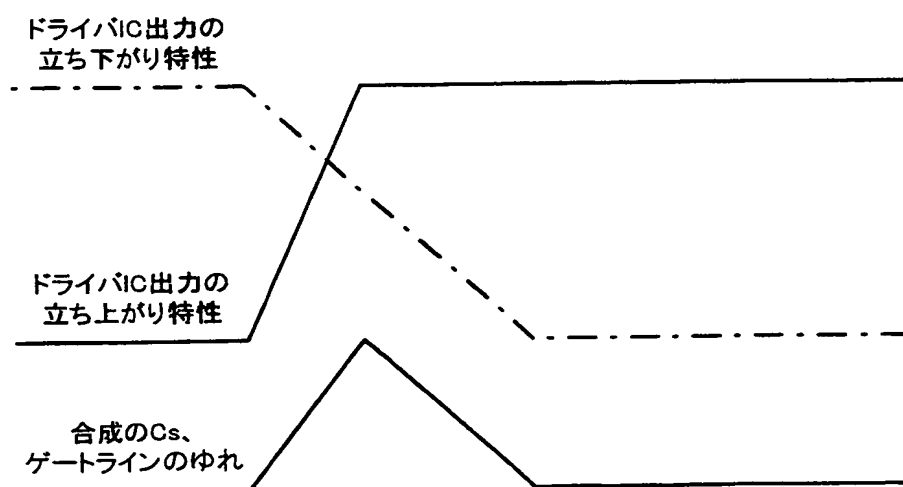
THIS PAGE BLANK (USPTO)

第17図



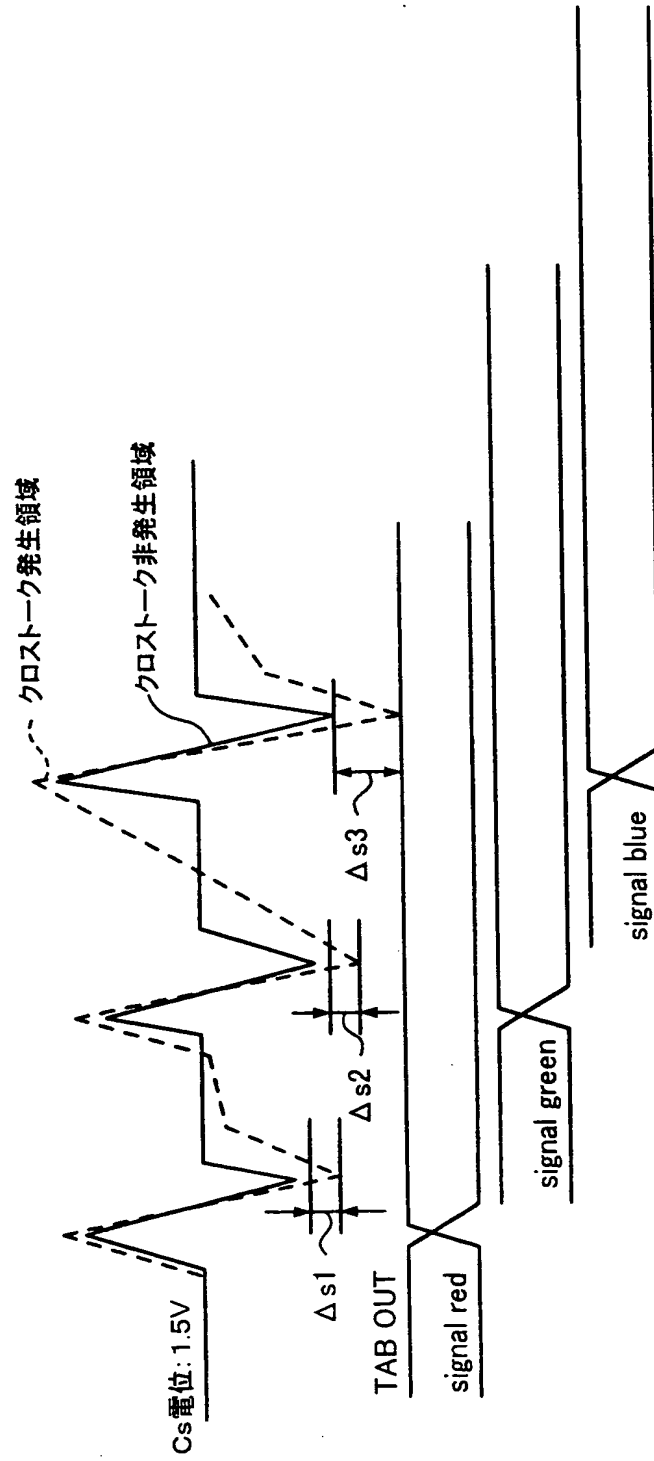
THIS PAGE BLANK (USPTO)

第 1 8 図



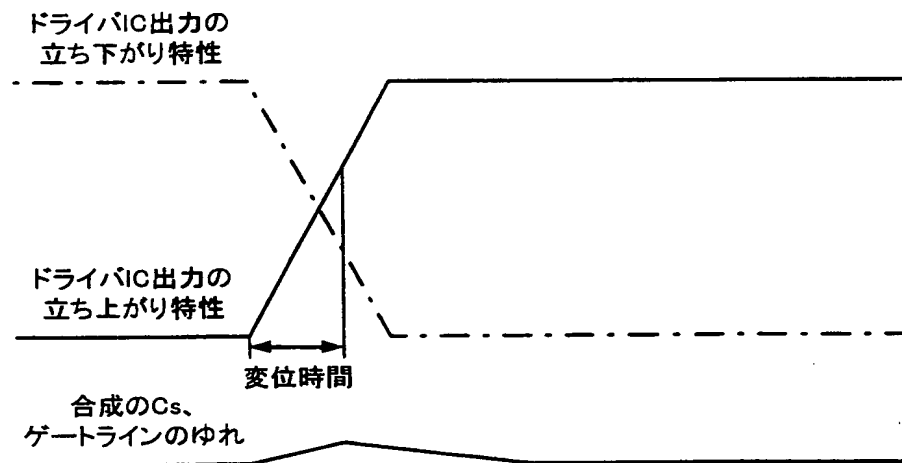
THIS PAGE BLANK (USPTO)

第19図



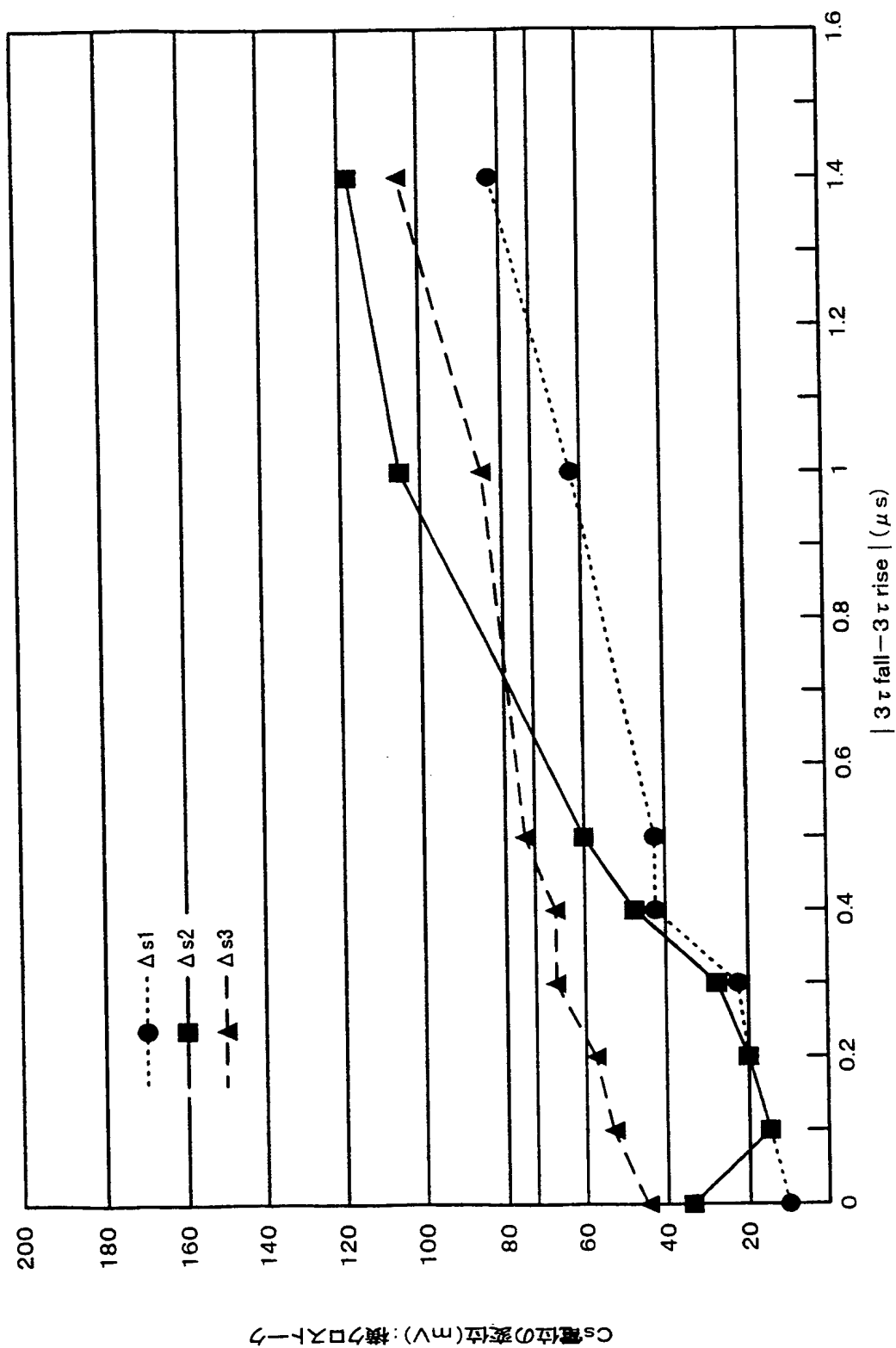
THIS PAGE BLANK (USPTO)

第20図



THIS PAGE BLANK (USPTO)

第21図



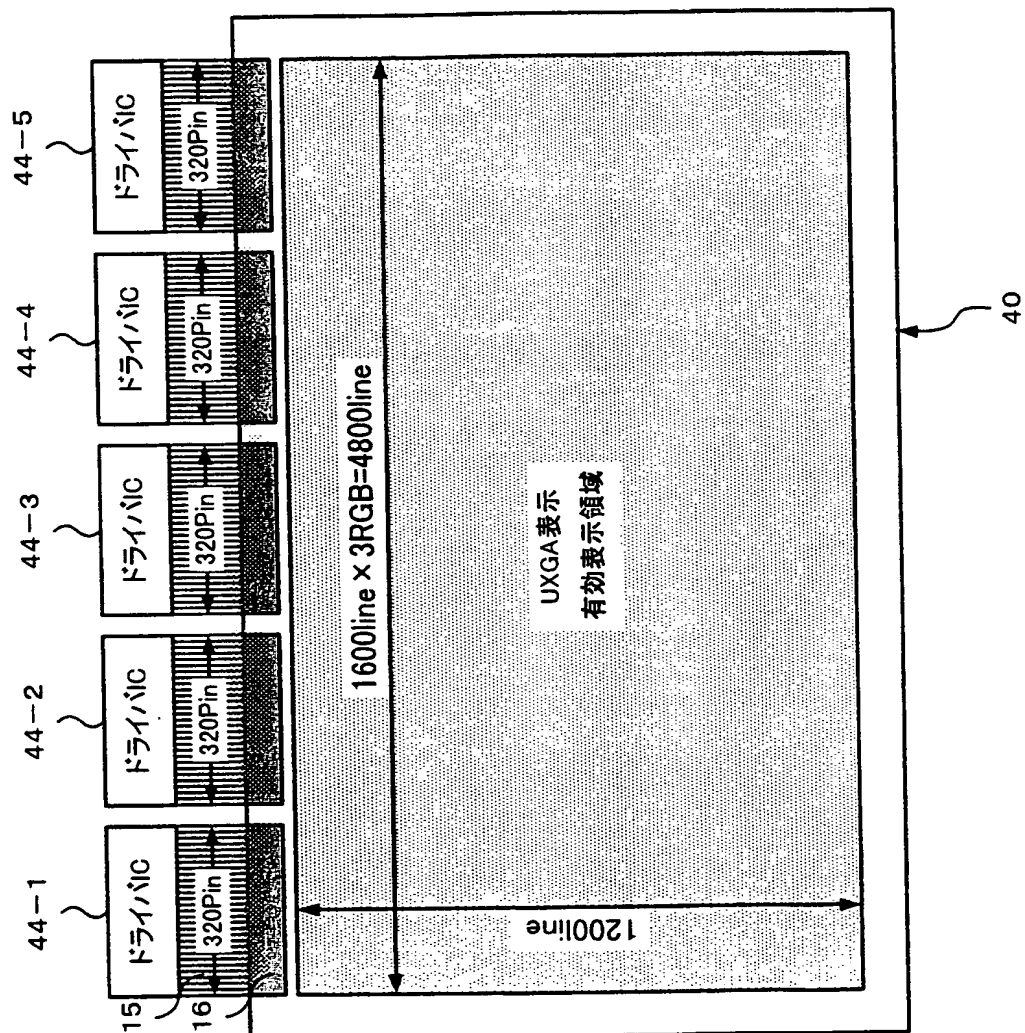
THIS PAGE BLANK (USPTO)

第22図

水平走査時間	21.537 μ s	15.63 μ s	12.504 μ s	10.971 μ s
時分割スイッチで 選択する時間	3 μ s	3 μ s	3 μ s	2 μ s
外部ICによる スルーレート	2 μ s	2 μ s	2 μ s	1.5 μ s
ブランキング期間	2 μ s	1 μ s	1 μ s	1 μ s
反転表示方法	ドット反転	ドット反転	ドット反転	ドット反転
ドット周波数	78.75MHz	108MHz	135MHz	157.5MHz

THIS PAGE BLANK (USPTO)

第23図



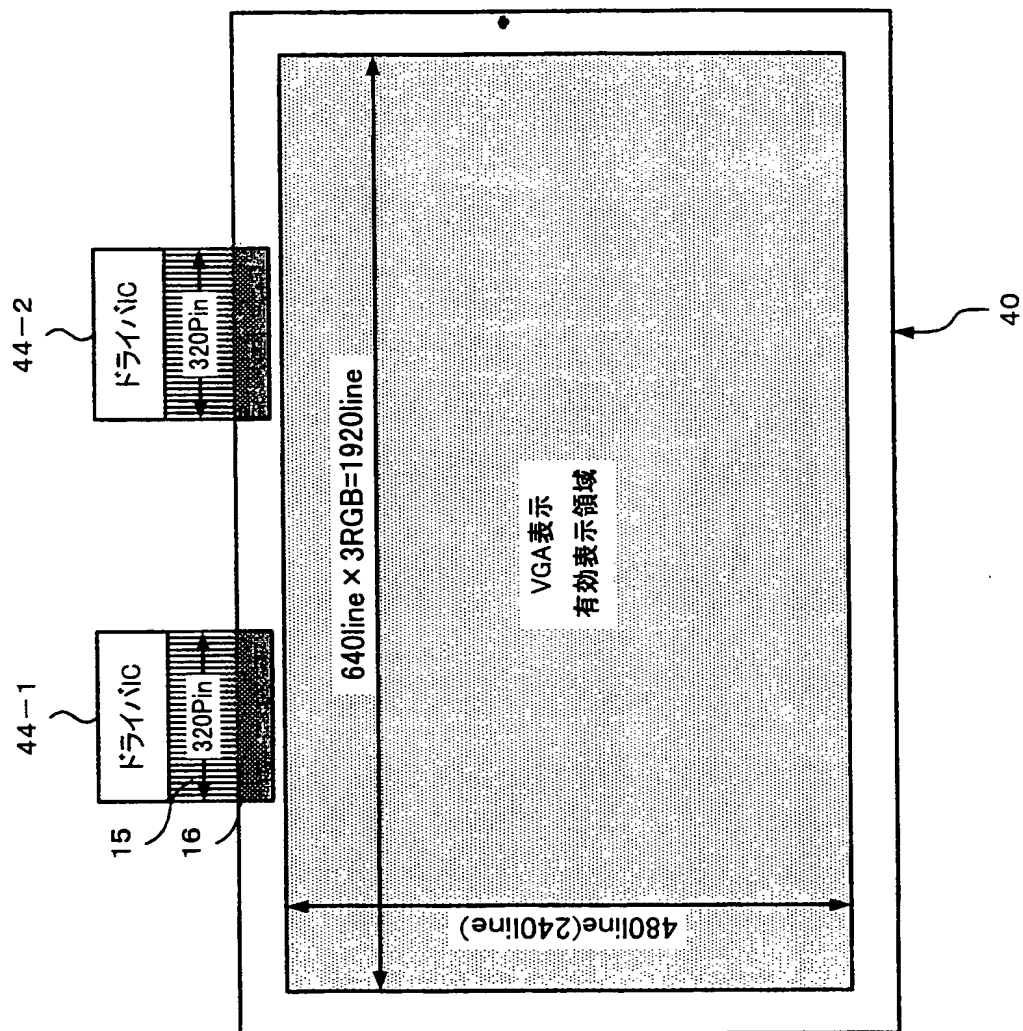
THIS PAGE BLANK (USPTO)

第24図

水平走査時間	16 μ s	13.333 μ s	12.308 μ s	11.429 μ s	10.667 μ s	10 μ s	9.412 μ s
時分割スイッチで 選択する時間	3 μ s	3 μ s	3 μ s	2.5 μ s	2 μ s	2 μ s	2 μ s
外部ICによる スルーレート	2 μ s	2 μ s	2 μ s	2 μ s	1.5 μ s	1.5 μ s	1.5 μ s
ブランキング期間	1 μ s	1 μ s	1 μ s	1 μ s	1 μ s	1 μ s	1 μ s
反転表示方法	ドット反転	ドット反転	ドット反転	ドット反転	ドット反転	ドット反転	ドット反転
ドット周波数	135MHz	162MHz	175.5MHz	189MHz	202.5MHz	216MHz	229.5MHz

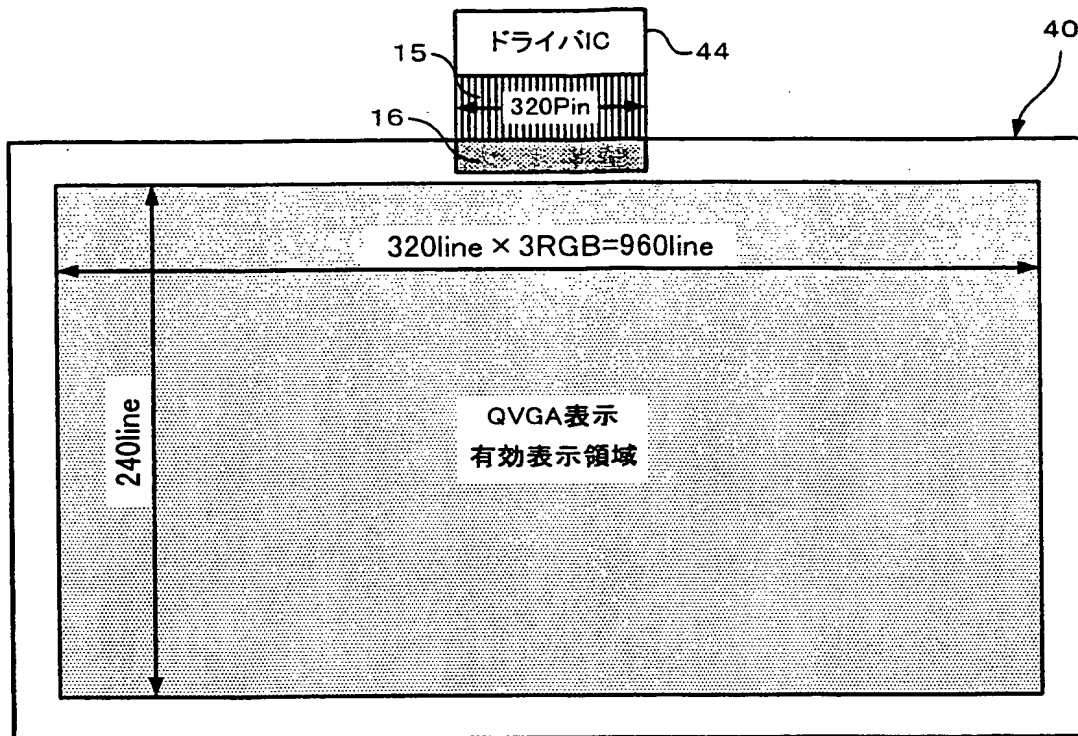
THIS PAGE BLANK (USPTO)

第25図



THIS PAGE BLANK (USPTO)

第 2 6 図

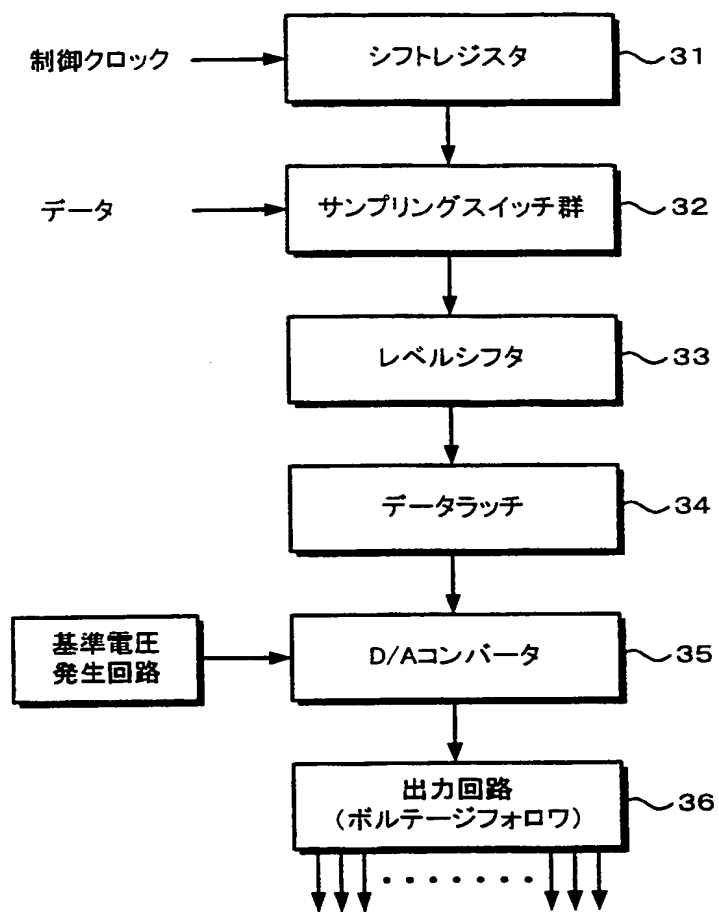


第 2 7 図

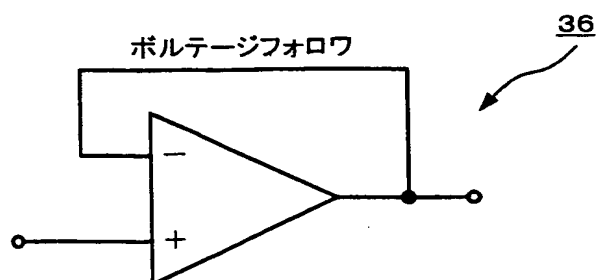
	VGA	QVGA(1)	QVGA(2)
画素数	水平: 640 × 3RGB 垂直: 480	水平: 320 × 3RGB 垂直: 240	水平: 320 × 3RGB 垂直: 240
水平走査時間	31.778 μ s	63.492 μ s	70.667 μ s
時分割スイッチで 選択する時間	6.774 μ s	14.6 μ s	10.0 μ s
外部ICによる スルーレート	3 μ s	3 μ s	3 μ s
ブランキング期間	期間(a),(b): 1.7 μ s 期間(c): 8.056 μ s	期間(a),(b): 3 μ s 期間(c): 13.692 μ s	期間(a),(b): 7 μ s 期間(c): 26.667 μ s
反転表示方法	1H VCOM反転	1H VCOM反転	1H VCOM反転

THIS PAGE BLANK (USPTO)

第 2 8 図

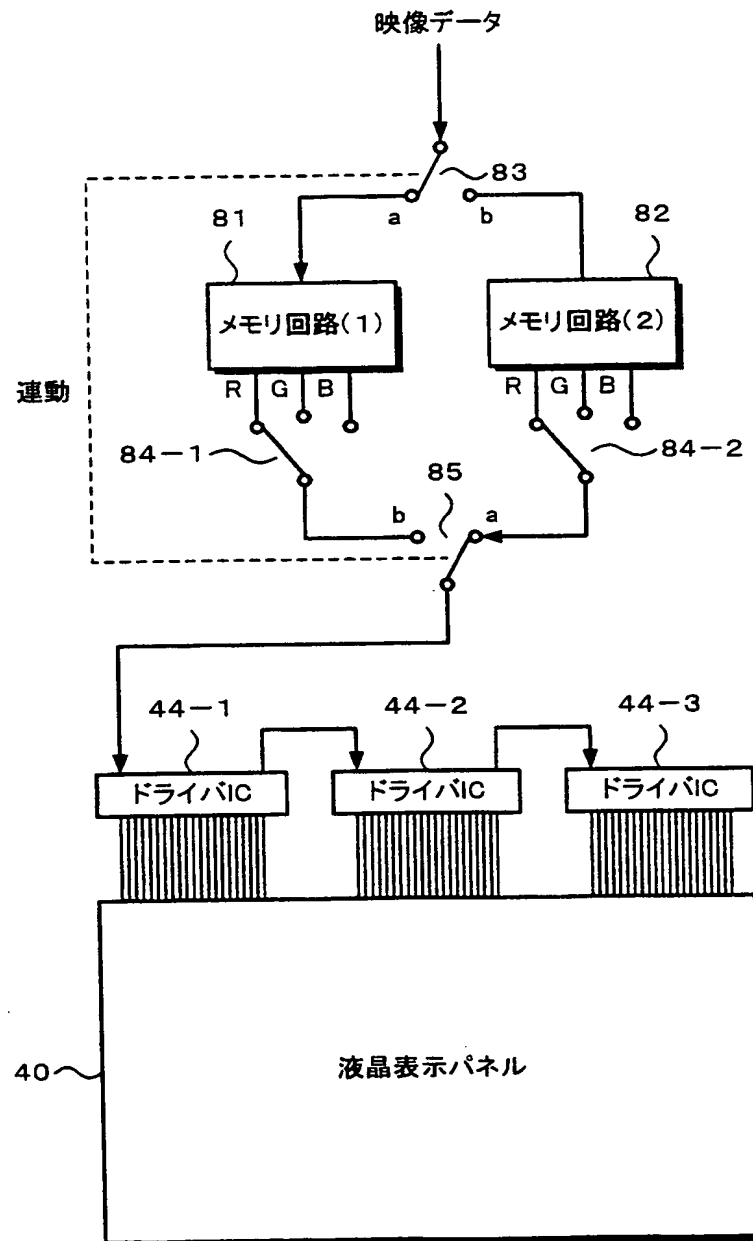


第 2 9 図



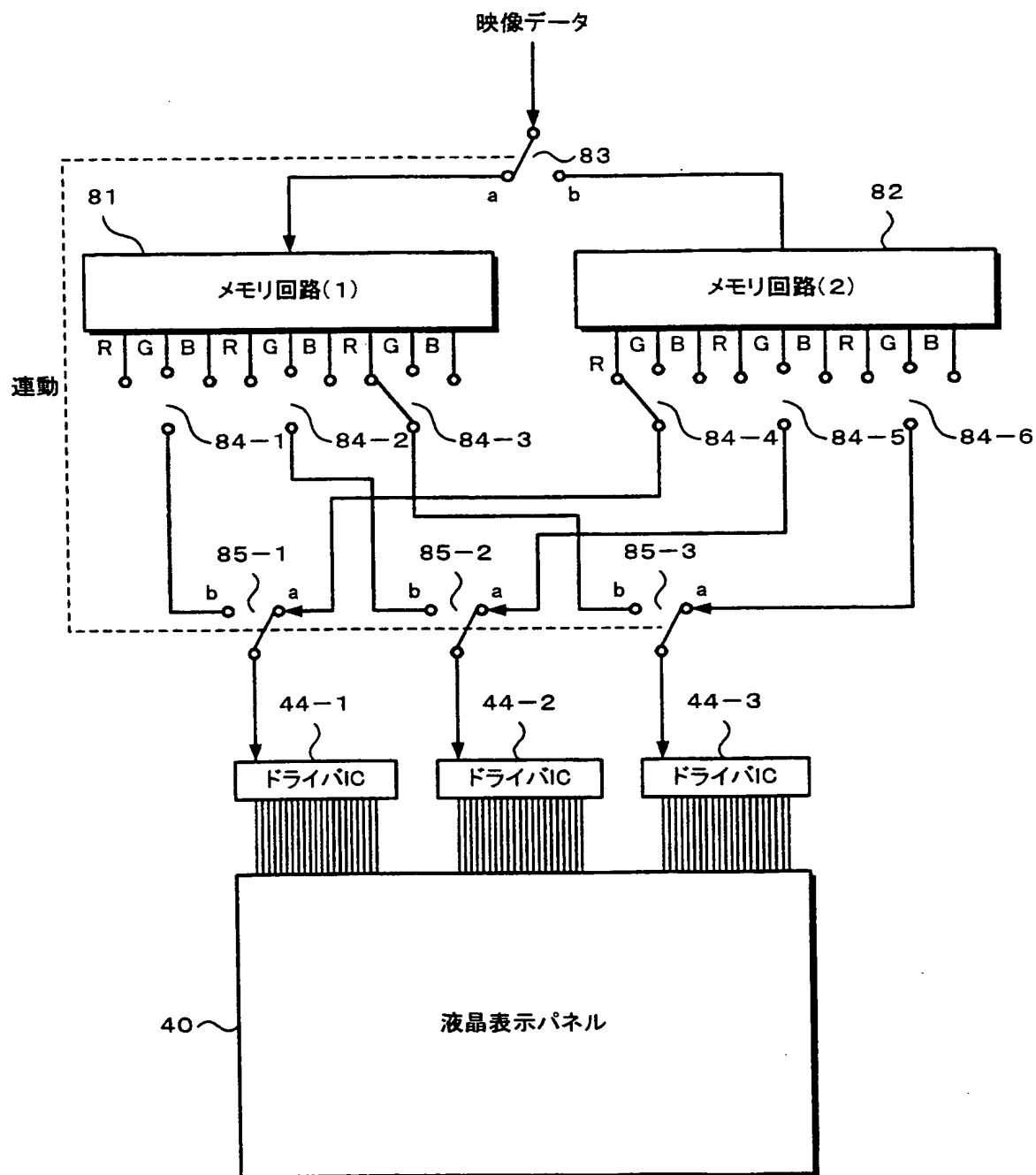
THIS PAGE BLANK (USPTO)

第30図



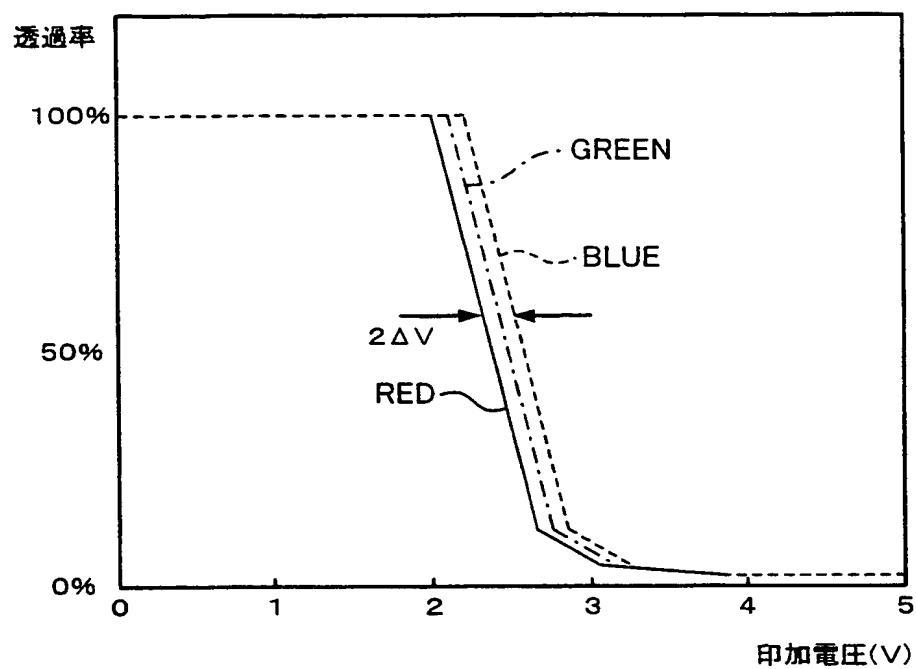
THIS PAGE BLANK (USPTO)

第 3 1 図

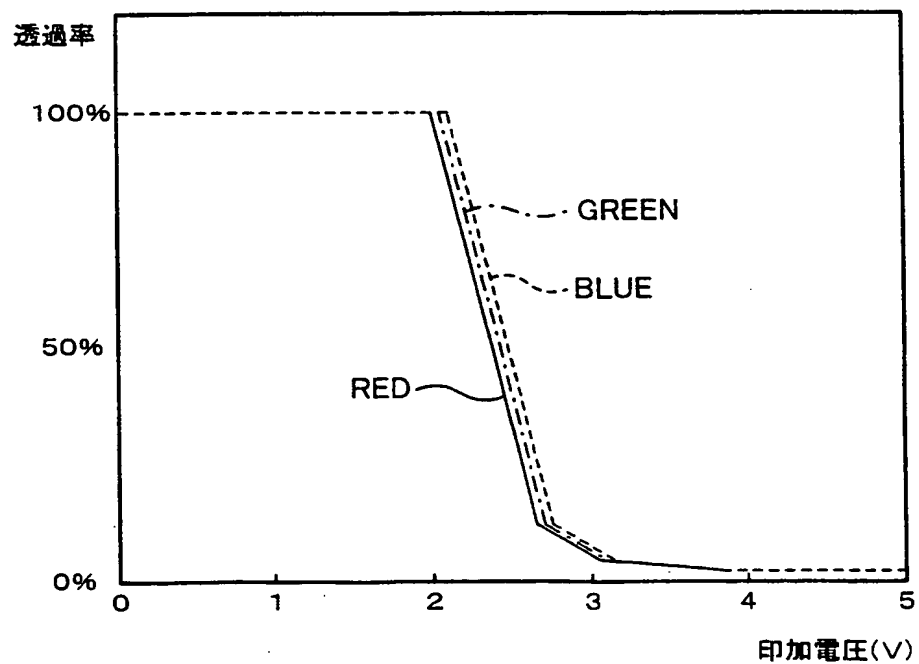


THIS PAGE BLANK (USPTO)

第 3 2 図 A

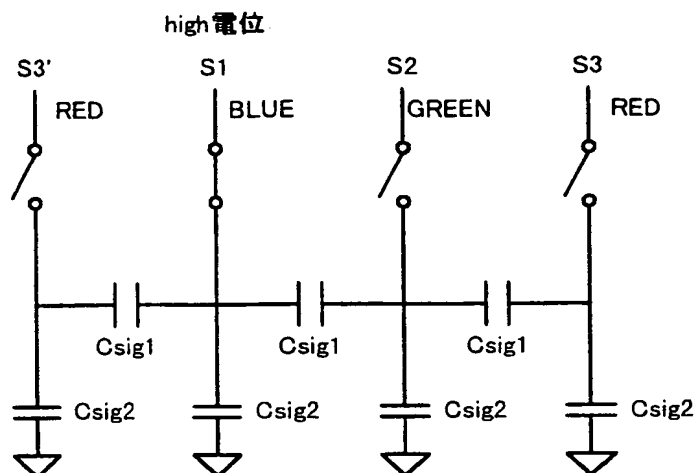


第 3 2 図 B

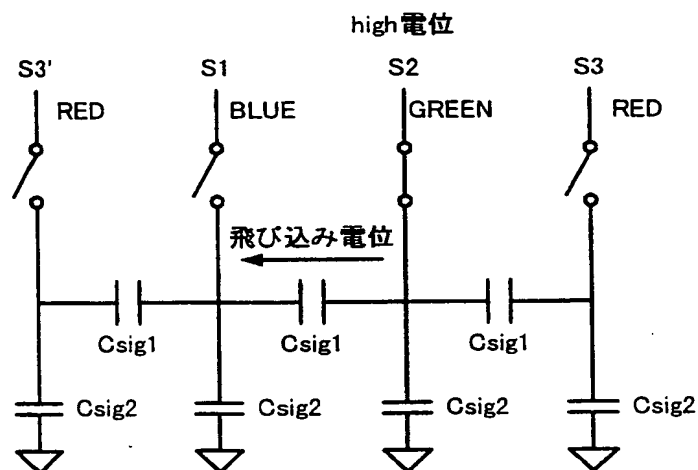


THIS PAGE BLANK (USPTO)

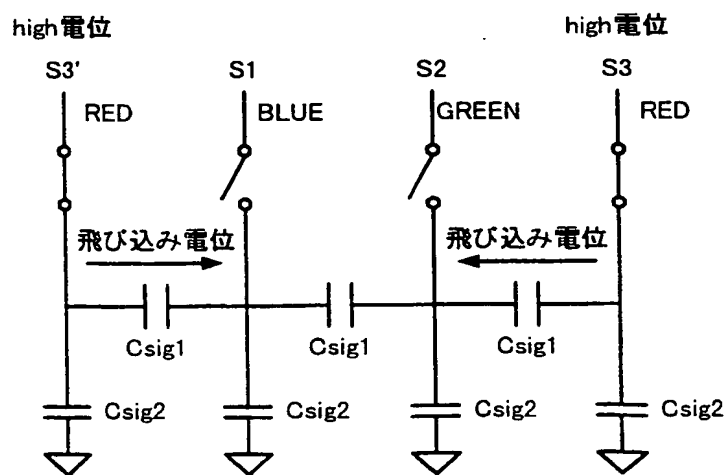
第 3 3 図 A



第 3 3 図 B

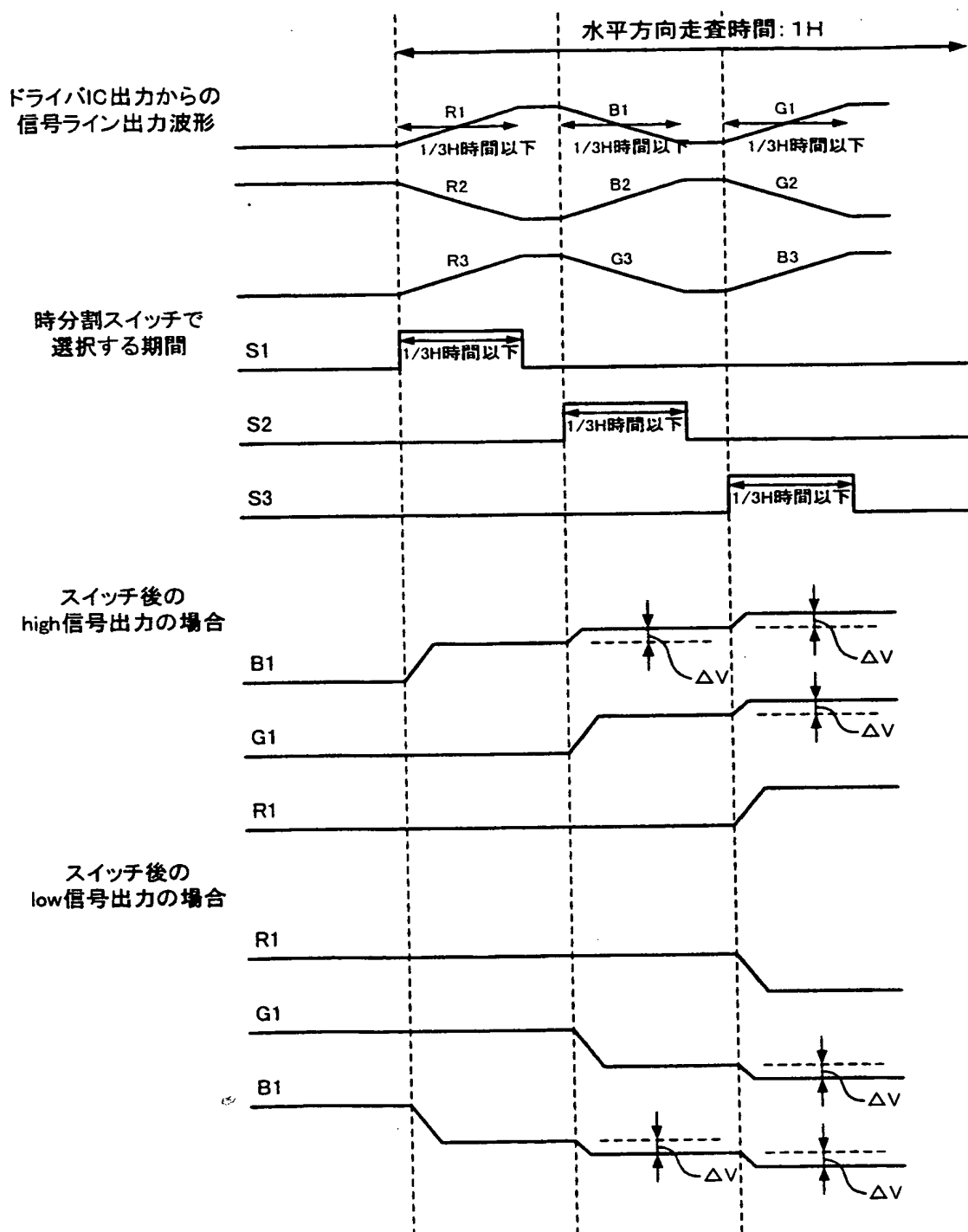


第 3 3 図 C



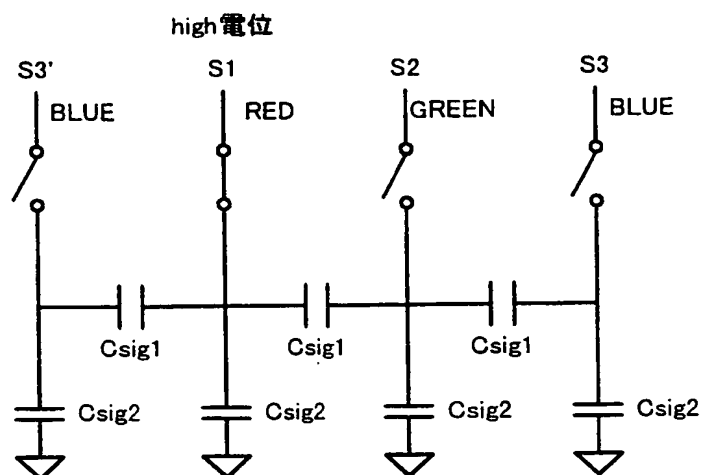
THIS PAGE BLANK (USPTO)

第34図

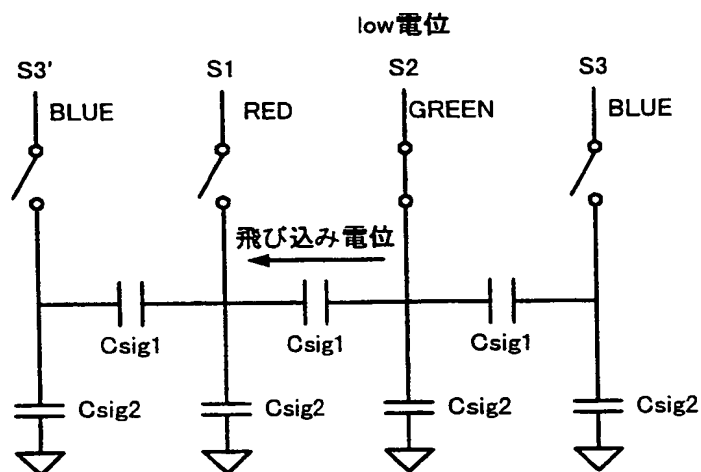


THIS PAGE BLANK (USPTO)

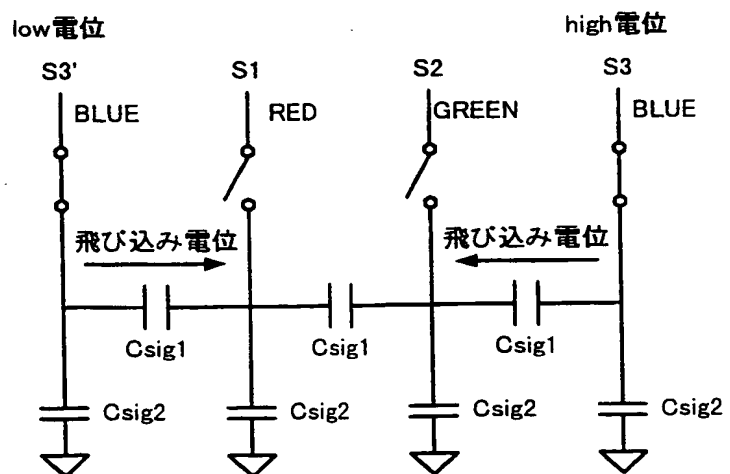
第 3 5 図 A



第 3 5 図 B

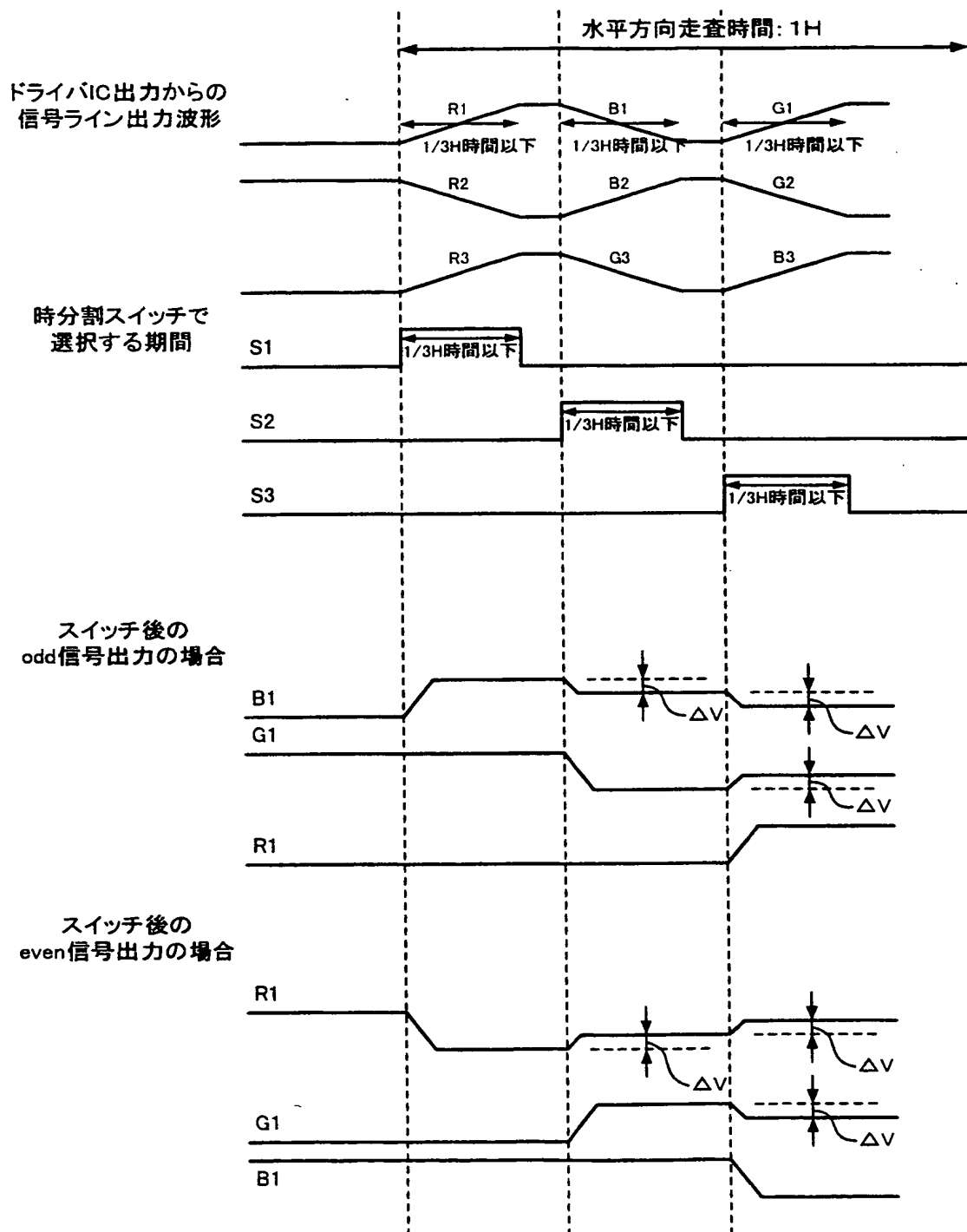


第 3 5 図 C



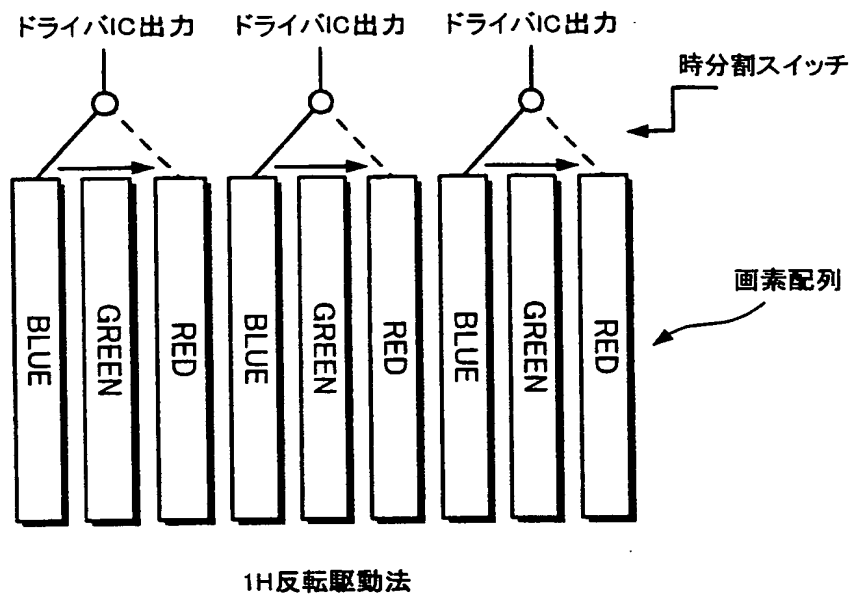
THIS PAGE BLANK (USPTO)

第 3 6 図

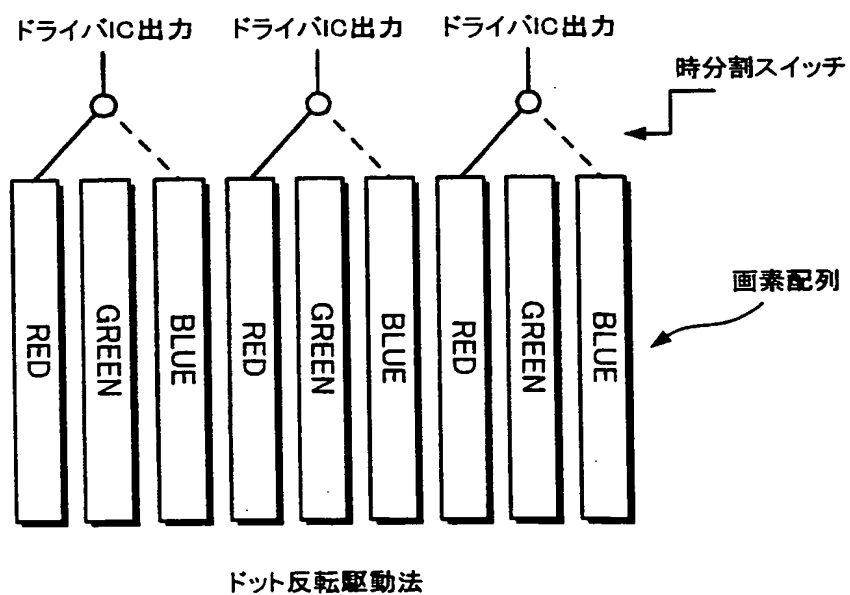


THIS PAGE BLANK (USPTO)

第 3 7 図 A



第 3 7 図 B



THIS PAGE BLANK (USPTO)

- 1 0, 4 0…液晶表示パネル
- 1 1-1～1 1-3, 4 1-1～4 1-3…ゲートライン
- 1 2-1～1 2-6, 4 2-1～4 2-6…信号ライン
- 1 3, 4 3…垂直駆動回路
- 1 4-1～1 4-3, 4 4-1～4 4-5…ドライバ I C
- 2 0…画素
- 2 1…薄膜トランジスタ
- 2 2…付加容量
- 2 3…液晶容量
- 3 1…水平転送レジスタ
- 3 2…サンプリングスイッチ群
- 3 3…レベルシフタ
- 3 4…データラッチ群
- 3 5…D/Aコンバータ（デジタルアナログ変換回路）
- 3 6…出力回路
- 8 1, 8 2…メモリ回路

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01441

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁶ G02F1/133, G02F1/1345, G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁶ G02F1/133, G02F1/1345, G09G3/36		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998 Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 4-12318, A (Sanyo Electric Co., Ltd.), 16 January, 1992 (16. 01. 92), Page 2, upper right column, lines 2, 3 ; Fig. 6 (Family: none)	1-2
X Y	JP, 7-78672, B2 (Matsushita Electric Industrial Co., Ltd.), 23 August, 1995 (23. 08. 95), Page 2, left column, lines 32 to 37 (Family: none)	3-9 10-19
A	JP, 6-43424, A (Rohm Co., Ltd.), 18 February, 1994 (18. 02. 94), Page 2, right column, lines 8 to 13, 45 to 47 ; page 3, lines 1 to 5 & US, 5540304, A	1-19
Y	JP, 4-52684, A (NEC Kansai, Ltd.), 20 February, 1992 (20. 02. 92) (Family: none)	10-19
Y	JP, 64-84297, A (Toshiba Corp.), 29 March, 1989 (29. 03. 89) (Family: none)	10-19
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 10 June, 1999 (10. 06. 99)		Date of mailing of the international search report 22 June, 1999 (22. 06. 99)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01441

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 1-118895, A (Fujitsu General Ltd.), 11 May, 1989 (11. 05. 89) (Family: none)	15-16
Y	JP, 9-319334, A (International Business Machines Corp.), 12 December, 1997 (12. 12. 97) & GB, 2313465, A1 & CN, 1165971, A	17

国際調査報告

国際出願番号 PCT/JP99/01441

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁸ G02F 1/133 , G02F 1/1345 , G09G 3/36

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁸ G02F 1/133 , G02F 1/1345 , G09G 3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-1998年
日本国登録実用新案公報	1994-1998年
日本国実用新案登録公報	1996-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 4-12318, A (三洋電機株式会社) 16. 1月. 1992 (16. 01. 92) 第2頁右上欄第2~3行, 図6 (ファミリーなし)	1-2
X Y	JP, 7-78672, B2 (松下電器産業株式会社) 23. 8月. 1995 (23. 08. 95) 第2頁左欄第32-37行 (ファミリーなし)	3-9 10-19

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

10. 06. 99

国際調査報告の発送日

22.06.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮本 昭彦

2X 9226

電話番号 03-3581-1101 内線 3294

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 6-43424, A (ローム株式会社) 18. 2月. 1994 (18. 02. 94) 第2頁右欄第8-13行, 同第45-47行, 第3頁第1-5行 & US, 5540304, A	1-19
Y	J P, 4-52684, A (関西日本電気株式会社) 20. 2月. 1992 (20. 02. 92) (ファミリーなし)	10-19
Y	J P, 64-84297, A (株式会社東芝) 29. 3月. 1989 (29. 03. 89) (ファミリーなし)	10-19
Y	J P, 1-118895, A (株式会社富士通ゼネラル) 11. 5月. 1989 (11. 05. 89) (ファミリーなし)	15-16
Y	J P, 9-319334, A (インターナショナル・ビジネス・ マシーンス・コーポレーション) 12. 12月. 1997 (12. 12. 97) & GB, 2313465, A1 & CN, 1165971, A	17

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)